

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0021653
Application Number

출원년월일 : 2003년 04월 07일
Date of Application APR 07, 2003

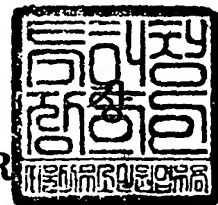
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 05 월 14 일

특 허 청

COMMISSIONER





1020030021653

출력 일자: 2003/5/15

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.04.07
【국제특허분류】	G02F
【발명의 명칭】	반사투과형 액정표시장치 및 그 제조방법
【발명의 영문명칭】	TRANS-REFLECTIVE LIQUID CRYSTAL DISPLAY DEVICE AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	엘지 . 필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-054732-1
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	1999-054731-4
【발명자】	
【성명의 국문표기】	김동국
【성명의 영문표기】	KIM,Dong Guk
【주민등록번호】	721113-1047716
【우편번호】	431-080
【주소】	경기도 안양시 동안구 호계동 946-16
【국적】	KR
【발명자】	
【성명의 국문표기】	강원석
【성명의 영문표기】	KANG,Won Seok
【주민등록번호】	710918-1056416



1020030021653

출력 일자: 2003/5/15

【우편번호】	156-090
【주소】	서울특별시 동작구 사당동 1015-1
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2002-0045338
【출원일자】	2002.07.31
【증명서류】	첨부
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김용인 (인) 대리인 심창섭 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	73 면 73,000 원
【우선권주장료】	1 건 26,000 원
【심사청구료】	34 항 1,197,000 원
【합계】	1,325,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

반사부의 개구율을 향상시킬 수 있으며, 콘택홀 형성 마스크수를 줄여서 공정을 단순화시킬 수 있는 반사투과형 액정표시장치 및 그의 제조방법을 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 반사투과형 액정표시장치는 각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치에 있어서, 교차 배치되어 화소영역을 정의하는 복수개의 게이트배선 및 데이터배선과; 상기 게이트배선과 데이터배선의 교차부분에 형성된 박막트랜지스터와; 전단 게이트배선의 일부로 이루어진 스토리지 하부전극상에 게이트 절연막을 사이에 두고 형성된 스토리지 상부전극과; 상기 박막트랜지스터의 드레인전극과 상기 스토리지 상부전극중 적어도 어느 하나에 직접 연결되도록 상기 화소영역에 형성된 투과전극과; 상기 투과전극의 일부가 드러나도록 상기 반사영역에 형성된 반사전극을 포함한다.

【대표도】

도 11

【색인어】

반사전극, 투과전극, 콘택홀, 투과홀, 채널영역

【명세서】

【발명의 명칭】

반사투과형 액정표시장치 및 그 제조방법{TRANS-REFLECTIVE LIQUID CRYSTAL DISPLAY DEVICE AND METHOD FOR FABRICATING THE SAME}

【도면의 간단한 설명】

도 1은 일반적인 반사투과형 액정표시장치의 일부를 도시한 분해 사시도

도 2는 일반적인 반사투과형 액정표시장치의 단면도

도 3과 도 4는 종래의 제1방법에 따른 반사투과형 액정표시장치의 평면도 및 구조 단면도

도 5a 내지 도 5c는 종래의 제1방법에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도

도 6a 내지 도 6c는 도 5a 내지 도 5c의 A-A', B-B', C-C'를 따라 절단하여 공정순서에 따라 도시한 공정단면도

도 7과 도 8은 종래의 제2방법에 따른 반사투과형 액정표시장치의 평면도 및 구조 단면도

도 9a 내지 도 9c는 종래의 제2방법에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도

도 10a 내지 도 10c는 도 9a 내지 도 9c의 D-D', E-E', F-F'를 따라 절단하여 공정순서에 따라 도시한 공정단면도



도 11과 도 12는 본 발명의 제1실시예에 따른 반사투과형 액정표시장치의 평면도 및 구조단면도

도 13a 내지 도 13c는 본 발명의 제1실시예에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도

도 14a 내지 도 14c는 도 13a 내지 도 13c의 G-G', H-H', I-I'를 따라 절단하여 공정순서에 따라 도시한 공정단면도

도 15와 도 16은 본 발명의 제2실시예에 따른 반사투과형 액정표시장치의 평면도 및 구조단면도

도 17a 내지 도 17c는 본 발명의 제2실시예에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도

도 18a 내지 도 18c는 도 17a 내지 도 17c의 J-J', K-K', L-L'를 따라 절단하여 공정순서에 따라 도시한 공정단면도

도 19와 도 20은 본 발명의 제2실시예에 따른 반사투과형 액정표시장치의 평면도 및 구조단면도

도 21a 내지 도 21c는 본 발명의 제3실시예에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도

도 22a 내지 도 22c는 도 21a 내지 도 21c의 M-M', N-N', O-O'를 따라 절단하여 공정순서에 따라 도시한 공정단면도

도 23a 내지 도 23c는 본 발명의 제4실시예에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도



도 24a 내지 도 24c는 도 23a 내지 도 23c의 P-P', Q-Q', R-R'를 따라 절단하여 공정순서에 따라 도시한 공정단면도

도 25와 도 26은 본 발명의 제5실시예에 따른 반사투과형 액정표시장치의 평면도 및 구조단면도

도 27a 내지 도 27c는 본 발명의 제5실시예에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도

도 28a 내지 도 28c는 도 27a 내지 도 27c의 S-S', T-T', U-U'를 따라 절단하여 공정순서에 따라 도시한 공정단면도

* 도면의 주요 부분에 대한 부호의 설명 *

80, 90, 110, 180, 280 : 기판

81, 91, 111, 181, 281 : 게이트배선

81a, 91a, 111a, 181a, 281a : 게이트패드

81b, 91b, 111b, 181b, 281b : 게이트전극

81c, 91c, 111c, 181c, 281c : 스토리지 하부전극

82, 92, 112, 182, 282 : 게이트절연막

83, 93, 113, 183a, 283 : 액티브층

83a, 93a, 113a, 183b, 283a : 오믹 콘택층

84, 94, 114, 184, 284 : 데이터배선

84a, 94a, 114a, 184a, 284a : 소오스패드

84b, 94b, 114b, 184b, 284b : 소오스전극



1020030021653

출력 일자: 2003/5/15

84c, 94c, 114c, 184c, 284c : 드레인전극

84d, 94d, 114d, 184d, 284d : 스토리지 상부전극

85, 95, 115, 185, 287 : 투과전극

86, 96, 186, 288 : 보호막

87, 97, 117, 187, 189 : 제2투과홀

88a, 98, 118, 188a, 286 : 제1콘택홀

88b, 188b, 290a : 제2콘택홀

89a, 99a, 119a, 189a, 291a : 반사전극

89b, 99b, 119b, 189b, 291b : 게이트패드단자

89c, 99c, 119c, 189c, 291c : 소오스패드단자

116a, 116b : 제1, 제2보호막

183 : 반도체패턴

290b : 제3콘택홀

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<48> 본 발명은 액정표시장치(liquid crystal display device)에 관한 것으로, 특히, 반사모드(reflect mode)와 투과모드(transmit mode)를 선택적으로 사용할 수 있는 반사투과형 액정표시장치 및 그 제조방법에 관한 것이다.



- <49> 일반적으로, 액정표시장치는 백라이트를 광원으로 이용하는 투과형 액정표시장치와, 백라이트를 광원으로 이용하지 않고 자연광 및 인조광을 이용하는 반사형 액정표시장치로 분류할 수 있다.
- <50> 이때 투과형 액정표시장치는 백라이트를 광원으로 이용하여 어두운 외부환경에서도 밝은 화상을 구현한다. 하지만, 밝은 곳에서는 사용이 불가하고, 전력소모가 크다는 문제점이 있다.
- <51> 반면, 반사형 액정표시장치는 백라이트를 사용하지 않기 때문에 소비전력은 줄일 수 있지만 외부 자연광이 어두울 때에는 사용이 불가능하다는 한계가 있다.
- <52> 이러한 한계들을 극복하기 위한 대안으로서 나온 것이 반사투과형 액정표시장치이다.
- <53> 이와 같은 반사투과형 액정표시장치는 단위 화소영역내에 반사부와 투과부를 동시에 구비하여 투과형 액정표시장치와 반사형 액정표시장치의 기능을 동시에 지닌 것으로, 백라이트(backlight)의 빛과 외부의 자연광원 또는 인조광원을 모두 이용할 수 있으므로 주변환경에 제약을 받지 않고, 전력소비(power consumption)를 줄일 수 있는 장점이 있다.
- <54> 한편, 상기의 액정표시장치들은 액정의 전하유지 능력을 보조하기 위해서 추가적인 스토리지 커패시터를 구성한다.
- <55> 스토리지 커패시터를 형성하는 구조 중에서, 전단 게이트배선과 화소전극 사이에 커패시터가 형성되는 구조를 스토리지 온 게이트(storage on gate) 구조라고 부른다.



- <56> 상기 스토리지 커패시터는 대응하는 박막트랜지스터의 턴오프 구간에서 액정 커패시터에 충전된 전압을 유지시킨다.
- <57> 이에 따라, 상기 박막 트랜지스터의 턴오프 구간에서 액정 커패시터를 통해 누설 전류가 발생하는 것이 방지되며, 플리커(flicker) 발생으로 인한 화질 저하를 해결할 수 있다.
- <58> 이하, 도면을 참조하여 일반적인 반사투과형 액정표시장치에 대하여 설명한다.
- <59> 도 1은 일반적인 반사투과형 컬러 액정표시장치를 도시한 분해사시도이다.
- <60> 도 1에 도시한 바와 같이, 일반적인 반사투과형 액정표시장치(11)는 블랙매트릭스(16)를 포함하는 컬러필터(17)와 컬러필터 상에 투명한 공통전극(13)이 형성된 상부기판(15)과, 화소영역(P)과 화소영역에 투과부(A)와 반사부(C)가 동시에 형성된 화소전극(19)과 스위칭소자(T)와 어레이 배선이 형성된 하부기판(21)으로 구성되며, 상기 상부기판(15)과 하부기판(21) 사이에는 액정(23)이 충전되어 있다.
- <61> 상기 하부기판(21)은 TFT 어레이기판이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트배선(25)과 데이터배선(27)이 형성된다.
- <62> 이때, 상기 화소영역(P)은 상기 게이트배선(25)과 데이터배선(27)이 교차하여 정의되는 영역이다.
- <63> 이와 같은 구성을 갖는 반사투과형 액정표시장치의 동작특성을 도 2를 참조하여 설명한다.
- <64> 도 2는 일반적인 반사투과형 액정표시장치를 도시한 단면도이다.



- <65> 도 2에 도시한 바와 같이, 개략적인 반사투과형 액정표시장치(11)는 공통전극(13)이 형성된 상부기판(15)과, 투과홀(A)을 포함한 반사전극(19b)과 투과전극(19a)으로 구성된 화소전극(19)이 형성된 하부기판(21)과, 상기 상부기판(15)과 하부기판(21)의 사이에 충전된 액정(23)과, 상기 하부기판(21)의 하부에 위치한 백 라이트(41)로 구성된다.
- <66> 이러한 구성을 갖는 반사투과형 액정표시장치(11)를 반사모드(reflective mode)로 사용할 경우에는 빛의 대부분을 외부의 자연 광원 또는 인조 광원을 사용하게 된다.
- <67> 전술한 구성을 참조로 반사 모드일 때와 투과 모드일 때의 액정표시장치의 동작을 설명한다.
- <68> 반사모드일 경우, 액정표시장치는 외부의 자연광원 또는 인조광원을 사용하게 되며, 상기 액정표시장치의 상부기판(15)으로 입사된 빛(B)은 상기 반사전극(19b)에 반사되어 상기 반사전극과 상기 공통전극(13)의 전계에 의해 배열된 액정(23)을 통과하게 되고, 상기 액정(23)의 배열에 따라 액정을 통과하는 빛(B)의 양이 조절되어 이미지(image)를 구현하게 된다.
- <69> 반대로, 투과모드(transmission mode)로 동작할 경우에는, 광원을 상기 하부기판(21)의 하부에 위치한 백라이트(41)의 빛(F)을 사용하게 된다. 상기 백라이트(41)로부터 출사한 빛은 상기 투명전극(19a)을 통해 상기 액정(23)에 입사하게 되며, 상기 투과홀 하부의 투명전극(19a)과 상기 공통전극(13)의 전계에 의해 배열된 액정(23)에 의해 상기 하부 백라이트(41)로부터 입사한 빛의 양을 조절하여 이미지를 구현하게 된다.
- <70> 이하, 첨부된 도면을 참조하여 종래기술에 따른 반사투과형 액정표시장치 및 그 제조방법에 대하여 설명하면 다음과 같다.

- <71> 일반적으로 액정표시장치는 하부기판으로 불리는 박막트랜지스터 어레이 기판과, 상부기판으로 불리는 컬러필터 기판과, 상기 두 기판 사이에 형성된 액정을 포함하여 구성된다. 이하 설명될 내용은 하부기판인 박막트랜지스터 어레이 기판에 관한 것이다.
- <72> 먼저, 종래 제1방법에 따른 반사투과형 액정표시장치 및 그 제조방법에 대하여 설명한다.
- <73> 도 3, 도 4는 종래의 제1방법에 따른 반사투과형 액정표시장치의 평면도 및 구조단면도이다.
- <74> 도 5a 내지 도 5c는 종래의 제1방법에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도이고, 도 6a 내지 도 6c는 도 5a 내지 도 5c의 A-A', B-B', C-C'를 따라 절단하여 공정순서에 따라 도시한 공정단면도이다.
- <75> 종래 제1방법에 따른 반사투과형 액정표시장치는 도 3과 도 4에 도시한 바와 같이 투명한 기판(30) 상에 일정 간격을 갖고 일라인 방향으로 평행하게 게이트배선(31)이 배열되어 있고, 상기 게이트배선(31)에서 일방향으로 게이트전극(31b)이 돌출 형성되고, 전단 게이트배선과 일체형으로 형성되며 스토리지 커패시터 위치에 스토리지 하부전극(31c)이 형성되어 있다.
- <76> 그리고 게이트배선(31)과 게이트전극(31b) 및 스토리지 하부전극(31c)을 포함한 기판(30)상에 상부층과 전기적으로 절연시키기 위한 게이트절연막(32)이 있고, 상기 게이트전극(31b) 상부의 게이트절연막(32)상에 액티브층(33)이 형성되어 있다.
- <77> 이때 액티브층(33)은 아몰퍼스 실리콘층으로 구성되어 있다.

- <78> 그리고 채널영역을 제외한 액티브층(33)상에 도핑된 아몰퍼스 실리콘으로 구성된 오믹 콘택층(33a)이 형성되어 있다.
- <79> 그리고 상기 게이트배선(31)과 교차 형성되어 화소영역을 정의하는 데이터배선(34)이 있고, 상기 데이터배선(34)에서 일방향으로 돌출되며 액티브층(33)의 일측과 오버랩된 소오스전극(34b)이 있고, 상기 소오스전극(34b)과 이격되어 액티브층(33)의 타측과 오버랩되어 형성된 드레인전극(34c)이 있다.
- <80> 그리고 상기 드레인전극(34c)과 일체형으로 형성되며 전단 게이트배선에 형성된 상기 스토리지 하부전극(31c) 상부까지 연장 형성된 스토리지 상부전극(34d)이 있다.
- <81> 그리고 상기 드레인전극(34c) 및 스토리지 상부전극(34d)을 포함한 기판(30) 전면에 제1보호막(35)이 형성되어 있다.
- <82> 이때 제1보호막(35)은 스토리지 상부전극(34d)과, 게이트패드(31a)와 소오스패드(34a)의 상부에 각각 제1, 제2, 제3콘택홀(36a, 36b, 36c)을 갖고, 화소영역에 투과홀(36d)을 갖는다.
- <83> 그리고 상기 투과홀(37)의 하면을 제외한 화소영역에 반사전극(37)이 형성되어 있다.
- <84> 이때 반사전극(37)은 화소영역을 정의하는 데이터배선(34)과 소정간격 겹쳐 형성된다.
- <85> 그리고 제1, 제2, 제3콘택홀(36a, 36b, 36c) 및 투과홀(36d)의 하면을 제외한 상기 기판(30) 전면에 제2보호막(38)이 형성되어 있다.

- <86> 그리고 상기 제1, 제3콘택홀(36a, 36c) 및 그에 인접한 제2보호막(38)상부에 게이트 패드단자(39a)와 소오스패드단자(39b)가 형성되어 있고, 제2콘택홀(36b)을 통해 스토리지 상부전극(34d)과 콘택되며, 투과홀(36d)을 포함한 화소영역에 투과전극(39c)이 형성되어 있다.
- <87> 상기 구성에서와 같이 화소영역에서 투과전극(39c)은 스토리지 상부전극(34d)과 제2콘택홀(36b)를 통해서 콘택된다.
- <88> 그리고 상기 반사전극(37)과 투과전극(39c)이 합쳐져 화소전극을 이룬다.
- <89> 상기 구성을 갖는 종래 제1방법에 따른 반사투과형 액정표시장치의 제조방법은 도 5a와 도 6a에 도시한 바와 같이 투명한 기판(30)상에 도전성 금속인 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 기타의 도전성합금을 증착하고 패터닝하여, 끝단에 소정면적을 이루도록 게이트패드(31a)와 상기 게이트패드(31a)에서 일방향으로 연장된 게이트배선(31)과 상기 게이트배선(31)에서 소정면적으로 돌출 형성된 게이트전극(31b)을 형성한다.
- <90> 상기 게이트배선(31)을 형성함과 동시에, 전단 게이트배선의 스토리지 커패시터 영역에 스토리지 하부전극(31c)을 형성한다.
- <91> 다음에 게이트배선(31)이 형성된 기판(30) 전면에 실리콘 다이옥사이드(SiO_2)나 실리콘 나이트라이드(SiN_x)와 같은 절연물질을 증착하고, 연속으로 아몰퍼스 실리콘(a-Si)과 불순물이 함유된 아몰퍼스 실리콘을 증착하여 게이트절연막(32)과 반도체층(아몰퍼스 실리콘 + 불순물 아몰퍼스 실리콘)을 형성한다.
- <92> 이후에 상기 반도체층을 패터닝하여 상기 게이트전극(31b)의 상부에 아일랜드형태로 액티브층(33)을 형성한다.

- <93> 그리고 상기 액티브층(33)이 형성된 기판(31)의 전면에 몰리브덴(Mo), 텅스텐(W) 또는 크롬(Cr)과 같은 도전성 금속을 증착하고 패터닝한다.
- <94> 상기 패터닝 공정을 진행하여 상기 게이트절연막(32)을 사이에 두고 교차하는 데이터배선(34)을 형성하고, 데이터배선(34)의 일 끝단에 소오스패드(34a)를 형성하고, 상기 게이트전극(31b)의 상부로 일방향으로 돌출 형성되고 액티브층(33)의 일측과 겹쳐지도록 소오스전극(34b)을 형성한다.
- <95> 그리고 상기 데이터배선(34)을 형성함과 동시에, 소오스전극(34b)과 소정간격 이격되고 상기 액티브층(33)의 타측과 겹쳐지도록 드레인전극(34c)을 형성하고, 상기 드레인전극(34c)과 일체형으로 연결되며 전단 게이트배선에 형성된 스토리지 하부전극(31c) 상부에 스토리지 상부전극(34d)을 형성한다.
- <96> 또한 상기 소오스전극(34b)과 드레인전극(34c)을 마스크로 채널영역의 불순물 아몰퍼스 실리콘을 식각하여 액티브층(33)상에 오믹 콘택층(33a)을 형성한다.
- <97> 다음에 도 5b와 도 6b에 도시한 바와 같이, 스토리지 상부전극(34d)을 포함한 기판 전면에 벤조사이클로부텐(benzocyclobuten:BCB), 포토아크릴(photoacryl)계 수지(resin)등이 포함된 유기절연물질 그룹 중 선택된 하나를 도포하여 제1보호막(35)을 형성한다.
- <98> 이후에 제1보호막(35)을 패터닝하여 화소영역에 투과홀(36d)을 형성한다.
- <99> 그리고 투과홀(36d)을 포함한 제1보호막(35)상에 저항 값이 작고 반사율이 뛰어난 반사금속을 증착한 후 패터닝하여 화소영역에 반사전극(37)을 형성한다.

- <100> 그리고 반사전극(37)을 포함한 기판(30)상에 실리콘질화막(SiN_x) 증착하여 제2보호막(38)을 형성한다.
- <101> 다음에 제2보호막(38)과 반사전극(37)과 게이트절연막(31c)을 식각해서 스토리지 상부전극(34d)과 게이트패드(31a)와 소오스패드(34a)의 상부에 각각 제1, 제2, 제3콘택홀(36a, 36b, 36c)을 형성한다. 이때 투과홀(36d) 부분은 기판(30)이 드러난다.
- <102> 다음에 도 5c와 도 6c에 도시한 바와 같이 상기 소오스전극(34b)과 드레인전극(34c)이 형성된 기판(30)의 전면에 인듐-틴-옥사이드(Indium Tin Oxide : ITO)와 인듐-징크-옥사이드 (Indium Zinc Oxide : IZO)등을 포함하는 투명 도전성금속 그룹 중 선택된 하나를 증착하고 패터닝하여, 전단 게이트배선상에 형성된 상기 스토리지 상부전극(34d)과 직접 콘택되도록 화소영역에 투과전극(39c)을 형성한다.
- <103> 상기 반사전극(37)을 형성함과 동시에, 게이트패드(31a)상의 콘택홀 및 이에 인접한 제2보호막(38)상에 상기 게이트패드(31a)와 접촉하는 게이트패드단자(39a)를 형성하고, 소오스패드(34a)상의 콘택홀 및 이에 인접한 제2보호막(38)상에 소오스패드(34a)와 접촉하는 소오스패드단자(39b)를 형성한다.
- <104> 이때 반사전극(37)은 상기 화소영역을 정의하는 데이터배선(34)과 소정간격 오버랩되도록 형성한다.
- <105> 다음에, 종래 제2방법에 따른 반사투과형 액정표시장치 및 그 제조방법에 대하여 설명한다.
- <106> 도 7, 도 8은 종래의 제2방법에 따른 반사투과형 액정표시장치의 평면도 및 구조 단면도이다.

- <107> 도 9a 내지 도 9c는 종래의 제2방법에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도이고, 도 10a 내지 도 10c는 도 9a 내지 도 9c의 D-D', E-E', F-F'를 따라 절단하여 공정순서에 따라 도시한 공정단면도이다.
- <108> 종래 제2방법은 반사부에 요철패턴을 적용하여 제작한 반사투과형 액정표시장치로써, 도 7과 도 8에 도시한 바와 같이 반사부(투과홀(56d)을 제외한 화소영역)의 제1보호막(55a)상에 요철을 갖는 제2보호막(55b)(도 7의 원으로 나타낸 부분)과, 제2보호막(55b)상에서 반사전극(57)이 굴곡을 갖는다는 것을 제외하고는 종래 제1방법에 나타난 반사투과형 액정표시장치와 그 구성이 동일하다.
- <109> 상기 구성을 갖는 종래 제2방법에 따른 반사투과형 액정표시장치의 제조방법은 도 10b와 도 10c에서 제1보호막(55a)상에 제2보호막(55b)을 도포한 후에 노광 및 현상공정으로 반사부에 대응되는 제2보호막(55b)이 요철 패턴을 갖도록 형성한다는 것을 제외하고는 종래 제1방법에 나타난 반사투과형 액정표시장치의 제조방법과 동일하다.
- <110> 상기와 같은 종래 제1, 제2방법에 따른 반사투과형 액정표시장치는 제조공정시 화소영역과 드레인전극을 연결시키기 위해 드레인전극과 일체형으로 형성된 스토리지 상부전극에 콘택홀을 형성하는 공정이 필요하며, 콘택홀 형성 부분만큼 반사부의 개구율이 감소하는 문제가 있다.
- <111> 특히, 종래 제2방법에 따른 반사투과형 액정표시장치에서는 스토리지 상부전극에 형성하는 콘택홀영역만큼 요철패턴을 형성할 수 없으므로 반사부 개구율 감소가 상대적으로 제1방법을 사용할 경우보다 더욱 감소한다.

【발명이 이루고자 하는 기술적 과제】

- <112> 본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로, 특히 반사부의 개구율을 향상시킬 수 있는 반사투과형 액정표시장치를 제공하는데 그 목적이 있다.
- <113> 본 발명의 다른 목적은 콘택홀 형성 마스크수를 줄여서 공정을 단순화시킬 수 있는 반사투과형 액정표시장치의 제조방법을 제공하는데 있다.
- <114> 본 발명의 또 다른 목적은 박막트랜지스터의 채널영역이 손상되는 것을 방지할 수 있는 반사투과형 액정표시장치 및 그의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <115> 상기와 같은 목적을 달성하기 위한 본 발명의 반사투과형 액정표시장치는 각 화소 영역이 반사영역과 투과영역으로 정의되는 액정표시장치에 있어서, 교차 배치되어 화소 영역을 정의하는 복수개의 게이트배선 및 데이터배선과; 상기 게이트배선과 데이터배선의 교차부분에 형성된 박막트랜지스터와; 전단 게이트배선의 일부로 이루어진 스토리지 하부전극과, 상기 스토리지 하부전극상에 게이트절연막을 사이에 두고 형성된 스토리지 상부전극과; 상기 박막트랜지스터의 드레인전극과 상기 스토리지 상부전극중 적어도 어느 하나에 직접 연결되도록 상기 화소영역에 형성된 투과전극과; 상기 투과전극의 일부가 드러나도록 상기 반사영역에 형성된 반사전극을 포함한다.
- <116> 상기 박막트랜지스터의 드레인전극은 화소영역으로 연장되어 상기 스토리지 상부전극과 연결된다.
- <117> 상기 투과전극이 상기 박막트랜지스터의 드레인전극의 연장부와 상기 스토리지 상부전극중 어느 하나에 연결된다.

- <118> 상기 투과전극이 상기 박막트랜지스터의 드레인전극과 상기 스토리지 상부전극 모두에 직접 연결되는 것을 포함한다.
- <119> 상기 반사영역에서 상기 투과전극과 상기 반사전극 사이에는 보호막이 개재되는 것을 특징으로 한다.
- <120> 상기 보호막은 상기 반사영역에서 요철 패턴을 갖는 것을 포함한다.
- <121> 상기 반사전극은 Mo-Al 또는 Mo-AlNd의 2층 구조로 구성한다.
- <122> 또한 본 발명의 다른 실시예에 따른 반사 투과형 액정표시장치는 각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치에 있어서, 교차 배치되어 화소영역을 정의하는 복수개의 게이트배선 및 데이터배선과; 상기 게이트배선과 데이터배선의 교차부분에 형성된 박막트랜지스터와; 상기 박막트랜지스터의 드레인전극과 일체형으로 형성되며 전단 게이트배선상에 형성된 스토리지 커패시터의 스토리지 상부전극과; 상기 스토리지 상부전극에 직접 접촉되도록 상기 화소영역에 형성된 투과전극과; 상기 투과전극의 일부가 드러나도록 경사 단차를 갖는 제1투과홀이 구비된 보호막과; 상기 투과전극이 제2투과홀을 갖고 드러나도록 상기 경사 단차 부분과, 상기 보호막상부와, 상기 경사 단차에 인접한 상기 제1투과홀 하면의 상기 반사영역에 형성된 반사전극을 포함한다.
- <123> 상기 반사전극은 경사 단차에서 연장된 상기 제1투과홀 하면에서 상기 투과전극과 접촉된다.
- <124> 또한 본 발명의 또 다른 실시예에 따른 반사 투과형 액정표시장치는 각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치에 있어서, 교차 배치되어 화소영역을 정의하는 복수개의 게이트배선 및 데이터배선과; 상기 게이트배선과 데이터배선의 교차

부분에 형성된 박막트랜지스터와; 상기 박막트랜지스터의 드레인전극과 이격되어 이웃하는 전단 게이트배선상에 형성된 스토리지 커패시터의 스토리지 상부전극과; 상기 박막트랜지스터의 드레인전극과 상기 스토리지 상부전극에 직접 콘택되도록 상기 화소영역에 형성된 투과전극과; 상기 투과전극의 일부가 드러나도록 경사 단차를 갖는 제1투과홀이 구비되며, 상기 스토리지 상부전극 및 드레인전극을 포함한 상기 반사영역에 요철이 형성된 보호막과; 상기 투과전극이 제2투과홀을 갖고 드러나도록 굴곡을 갖고 반사영역에 형성된 반사전극을 포함함을 특징으로 한다.

<125> 상기 게이트배선과 동일 평면상의 상기 전단 게이트배선에 스토리지 커패시터의 스토리지 하부전극이 구성된다.

<126> 또한 본 발명에 또 다른 실시예에 따른 반사 투과형 액정표시장치는 각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치에 있어서, 교차 배치되어 화소영역을 정의하는 복수개의 게이트배선 및 데이터배선과; 상기 게이트배선과 데이터배선의 교차 부분에 형성된 박막트랜지스터와; 전단 게이트배선의 일부로 이루어진 스토리지 하부전극과, 상기 스토리지 하부전극상에 게이트절연막을 사이에 두고 형성된 스토리지 상부전극과; 상기 스토리지 상부전극의 일영역에 콘택홀을 갖고 상기 박막트랜지스터를 포함한 기판상에 형성된 버퍼절연막과, 상기 콘택홀을 통해 상기 스토리지 상부전극과 콘택되도록 상기 화소영역에 형성된 투과전극과; 상기 투과전극의 일부가 드러나도록 상기 반사영역에 형성된 반사전극을 포함함을 특징으로 한다.

<127> 상기 버퍼절연막은 실리콘질화막으로 구성되었다.

<128> 이하, 첨부된 도면을 참조하여 본 발명에 따른 반사투과형 액정표시장치를 실시예별로 나누어 설명한다.

- <129> 일반적으로 액정표시장치는 하부기판으로 불리는 박막트랜지스터 어레이 기판과, 상부기판으로 불리는 컬러필터 기판과, 상기 두 기판 사이에 형성된 액정을 포함하여 구성된다. 이하 설명될 내용은 하부기판인 박막트랜지스터 어레이 기판에 관한 것이다.
- <130> 제1실시예
- <131> 도 11, 도 12는 본 발명의 제1실시예에 따른 반사투과형 액정표시장치의 평면도 및 구조단면도이다.
- <132> 그리고 도 13a 내지 도 13c는 본 발명의 제1실시예에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도이다.
- <133> 그리고 도 14a 내지 도 14c는 도 13a 내지 도 13c의 G-G', H-H', I-I'를 따라 절단하여 공정순서에 따라 도시한 공정단면도이다.
- <134> 여기서, G-G'는 박막트랜지스터와 스토리지 커패시터를 자른 단면도이고, H-H'는 스토리지 커패시터와 투과홀을 자른 단면도이고, I-I'는 게이트패드를 자른 단면도이다.
- <135> 본 발명의 제1실시예에 따른 반사투과형 액정표시장치는 도 11과 도 12에 도시한 바와 같이 크게 끝단의 일영역에 게이트패드(81a)가 형성된 게이트배선(81), 끝단의 일영역에 소오스패드(84a)가 형성된 데이터배선(84), 화소영역, 박막트랜지스터 및 스토리지 커패시터로 구성된다.
- <136> 상기 화소영역은 서로 교차하여 형성된 게이트배선(81)과 데이터배선(84)에 의해서 정의되고, 반사부와 투과부로 구성된다.

- <137> 이때 화소영역은 투과전극(85)이 스토리지 상부전극(84d)과 직접 접촉되어 형성되고, 투과전극(85)상에 제2투과홀(87)을 갖고 반사부에 반사전극(89a)이 형성되어 있다.
- <138> 그리고 박막트랜지스터는 게이트배선(81)과 데이터배선(84)의 교차지점에 형성되며, 상기 게이트배선(81)에서 일방향으로 돌출 형성된 게이트전극(81b)과, 상기 데이터배선(84)에서 상기 게이트전극(81b)의 상부로 연장된 소오스전극(84b)과, 상기 소오스전극(84b)과 소정간격 이격된 드레인전극(84c)으로 구성된다.
- <139> 그리고 스토리지 커패시터는 전단의 게이트배선과 연결된 일영역의 스토리지 하부전극(81c)과, 게이트전극(81b) 및 스토리지 하부전극(81c)을 상부층과 전기적으로 절연시키기 위한 게이트절연막(82)과, 상기 드레인전극(84c)과 일체형으로 연장되어 형성된 스토리지 상부전극(84d)으로 구성된다.
- <140> 상기와 같은 구성을 갖는 본 발명의 반사투과형 액정표시장치를 좀더 구체적으로 설명하면 다음과 같다.
- <141> 도 11과 도 12에 도시한 바와 같이 투명한 기판(80) 상에 일정 간격을 갖고 일라인 방향으로 평행하게 게이트배선(81)이 배열되어 있고, 상기 게이트배선(81)에서 일방향으로 게이트전극(81b)이 돌출 형성되고, 전단 게이트배선과 일체형으로 형성되며 스토리지 커패시터 위치에 스토리지 하부전극(81c)이 형성되어 있다.
- <142> 또한 게이트배선(81)의 끝단에는 게이트패드(81a)가 형성되어 있고, 데이터배선(84)의 끝단에는 소오스패드(84a)가 형성되어 있다.

- <143> 그리고 게이트배선(81)과 게이트전극(81b) 및 스토리지 하부전극(81c)을 포함한 기관(80)상에 상부층과 전기적으로 절연시키기 위한 게이트절연막(82)이 있고, 상기 게이트전극(81b) 상부의 게이트절연막(82)상에 액티브층(83)이 형성되어 있다.
- <144> 이때 액티브층(83)은 아몰퍼스 실리콘층으로 구성되고, 게이트전극(81b)상부의 채널영역을 제외한 액티브층(83)상에는 도핑된 아몰퍼스 실리콘층으로 구성된 오믹 콘택층(83a)이 형성되어 있다.
- <145> 그리고 상기 게이트배선(81)과 교차 형성되어 화소영역을 정의하는 데이터배선(84)이 있고, 상기 데이터배선(84)에서 일방향으로 돌출되며 액티브층(83)의 일측과 오버랩된 소오스전극(84b)이 있고, 상기 소오스전극(84b)과 이격되어 액티브층(83)의 타측과 오버랩되어 형성된 드레인전극(84c)이 있다.
- <146> 그리고 상기 드레인전극(84c)과 일체형으로 형성되며 전단 게이트배선에 형성된 상기 스토리지 하부전극(81c) 상부까지 연장 형성된 스토리지 상부전극(84d)이 있다.
- <147> 그리고 상기 스토리지 상부전극(84d)과 직접 콘택되도록 오버랩된 투과전극(85)이 화소영역에 형성되어 있다.
- <148> 도면에는 도시되지 않았지만 상기 투과전극(85)은 상기 박막트랜지스터의 확장된 드레인전극(84c)에 연결될 수도 있다.
- <149> 이때 투과전극(85)은 차후에 설명될 제2투과홀(87)보다 크게 형성되면 된다.
- <150> 그리고 박막트랜지스터와 화소영역을 포함한 상기 기관(80) 전면에 형성되며 화소영역의 투과전극(85)과 게이트패드(81a) 및 소오스패드(84a)의 상부에 각각 투과홀과 제1, 제2콘택홀(88a, 88b)이 형성된 보호막(86)이 있다.

- <151> 투과홀은 제1투과홀과 제2투과홀로 구분되는데, 제1투과홀은 보호막(86)에 의해 경사 단차를 갖고 형성된 콘택홀을 지칭하고, 제2투과홀은 차후에 반사전극(89a)에 의해 투과전극(85)이 드러나는 영역을 지칭한다.
- <152> 따라서 제1투과홀은 제2투과홀보다 그 면적이 넓다.
- <153> 그리고 화소영역상의 제1투과홀의 경사 단차부 및 이에 연장된 제1투과홀 하면에 투과전극(85)과 콘택되도록 반사부상에 반사전극(89a)이 형성되어 있다.
- <154> 상기 반사전극(89a)은 화소영역을 정의하는 데이터배선(84)과 소정간격 겹쳐 형성된다.
- <155> 그리고 상기 반사전극(89a)과 투과전극(85)이 합쳐져 화소전극을 이룬다.
- <156> 상기와 같이 구성하면 투과전극(85)이 스토리지 상부전극(84d)과 직접 콘택되어 있기 때문에, 스토리지 상부전극(84d)과 투과전극(85) 사이에 별도의 콘택이 필요하지 않아 공정을 단순화시킬 수 있다.
- <157> 또한 반사전극(89a)은 보호막(86) 상부, 제1투과홀의 경사 단차부, 그리고 경사 단차부에서 연장된 제1투과홀 하면에까지 연장 형성되어 있으므로 반사효율을 증대시킬 수 있다는 효과가 있다.
- <158> 다음에 상기와 같은 구성을 갖는 반사투과형 액정표시장치의 제조방법을 도 13a 내지 도 13c와 도 14a 내지 도 14c를 참조하여 설명한다.
- <159> 먼저, 도 13a와 도 14a에 도시한 바와 같이 투명한 기판(80)상에 도전성 금속인 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 기타의 도전성합금을 증착하고 패터닝하여, 끝단에 소정면적을 이루도록 게이트패드(81a)와 상기 게이트패드(81a)에서 일방향으로 연장

된 게이트배선(81)과 상기 게이트배선(81)의 일측에서 소정면적으로 돌출 형성된 게이트 전극(81b)을 형성한다.

<160> 상기 게이트배선(81)을 형성함과 동시에, 전단 게이트배선의 스토리지 커패시터 영역에 스토리지 하부전극(81c)을 형성한다.

<161> 다음에 게이트배선(81)이 형성된 기판(80) 전면에 실리콘 다이옥사이드(SiO_2)나 실리콘 나이트라이드(SiN_x)와 같은 절연물질을 증착하고, 연속으로 아몰퍼스 실리콘(a-Si)과 불순물이 함유된 아몰퍼스 실리콘을 증착하여 게이트절연막(82)과 반도체층(아몰퍼스 실리콘층 + 도핑된 아몰퍼스 실리콘층)을 형성한다.

<162> 이후에 상기 반도체층을 패터닝하여 상기 게이트전극(81b)의 상부에 아일랜드형태로 반도체패턴을 형성한다.

<163> 그리고 상기 반도체패턴이 형성된 기판(81)의 전면에 몰리브덴(Mo), 텅스텐(W) 또는 크롬(Cr)과 같은 도전성 금속을 증착하고 패터닝한다.

<164> 상기 패터닝 공정을 진행하여 상기 게이트절연막(82)을 사이에 두고 교차하는 데이터배선(84)을 형성하고, 데이터배선(84)의 일 끝단에 소오스패드(84a)를 형성하고, 상기 게이트전극(81b)의 상부의 반도체패턴의 일측과 겹쳐지도록 소오스전극(84b)을 돌출 형성한다.

<165> 그리고 상기 데이터배선(84)을 형성함과 동시에, 소오스전극(84b)과 소정간격 이격되고 상기 반도체패턴의 타측과 겹쳐지도록 드레인전극(84c)을 형성하고, 상기 드레인전극(84c)과 일체형으로 연결되며 전단 게이트배선에 형성된 스토리지 하부전극(81c) 상부에 스토리지 상부전극(84d)을 형성한다.

- <166> 이후에 상기 소오스전극(84b)과 드레인전극(84c)을 마스크로 반도체층의 도핑된 아몰퍼스 실리콘층을 식각하여, 상기 반도체패턴중 아몰퍼스 실리콘층으로 구성된 액티브층(83)을 형성하고, 채널영역을 제외한 액티브층(83)상에는 도핑된 아몰퍼스 실리콘층으로 구성된 오믹 콘택층(83a)을 형성한다.
- <167> 다음에 도 13b와 도 14b에 도시한 바와 같이, 상기 소오스전극(84b)과 드레인전극(84c)이 형성된 기판(80)의 전면에 인듐-틴-옥사이드(Indium Tin Oxide : ITO) 와 인듐-징크-옥사이드 (Indium Zinc Oxide : IZO)등을 포함하는 투명 도전성금속 그룹 중 선택된 하나를 증착하고 습식각하여, 전단 게이트배선상에 형성된 상기 스토리지 상부전극(84d)과 직접 콘택되도록 화소영역에 투과전극(85)을 형성한다.
- <168> 이때 투과전극(85)은 차후에 제2투과홀(도 13c와 도 14c의 도면부호'87')이 형성될 영역보다 크게 형성하면 된다.
- <169> 이후에 도 13c와 도 14c에 도시한 바와 같이 벤조사이클로부텐(benzocyclobuten:BCB), 포토아크릴(photoacryl)계 수지(resin)등이 포함된 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(86)을 형성한다.
- <170> 이와 같은 공정에서 상기 보호막(86)은 유전율이 낮은 절연막을 소정의 두께로 도포한 것이므로 반사전극과 상기 각 배선의 겹침 구조에 의한 기생 커패시턴스(parasitic capacitance)에 의해 발생하는 문제를 방지할 수 있다.
- <171> 다음에 포토공정을 진행하여 화소영역의 투과전극(85)의 일영역이 드러나도록 제1투과홀을 형성하고, 동시에 게이트패드(81a)와 소오스패드(84a)상에 패드 오픈공정을 하여 제1, 제2콘택홀(88a, 88b)(도 13c)을 형성한다.

- <172> 이후에 보호막(86)이 형성된 기판(80)의 전면에 알루미늄(Al) 또는 알루미늄 합금 또는 Ag와 같은 저항 값이 작고 반사율이 뛰어난 반사금속을 증착한 후 패터닝하여, 상기 투과전극(85)이 드러나며 경사 단차부에서 연장된 제1투과홀의 하면에서 상기 투과전극(85)과 콘택되도록 화소영역의 반사부에 반사전극(89a)을 형성한다.
- <173> 이때 반사전극(89a)은 단층 구조보다는 2층 구조(예 : Mo-Al, Mo-AlNd)로 형성하는 것이 바람직한데, 그 이유는 Mo와 투명 전극이 접하므로 투명 전극(ITO)과의 콘택 저항을 낮출 수 있고, Al, AlNd와 ITO가 직접 접하여 생기는 갈바닉 부식 문제를 방지할 수 있기 때문이다.
- <174> 이때, Mo는 저항이 작고, Al 또는 AlNd는 반사도가 좋은 물질이다.
- <175> 상기 반사전극(89a)을 형성함과 동시에, 게이트패드(81a)상의 콘택홀 및 이에 인접한 보호막(86)상에 상기 게이트패드(81a)와 접촉하는 게이트패드단자(89b)를 형성하고, 소오스패드(81a)상의 콘택홀 및 이에 인접한 보호막(86)상에 소오스패드(84a)와 접촉하는 소오스패드단자(89c)를 형성한다.
- <176> 이때 반사전극(89a)은 상기 화소영역을 정의하는 데이터배선(84)과 소정간격 오버랩되도록 형성한다.
- <177> 이와 같은 공정에 의해서 반사투과형 액정표시장치를 제조하면 드레인전극(84c)과 투과전극(85), 스토리지 상부전극(84d)과 투과전극(85)간에 별도의 콘택 공정을 진행하지 않아도 되므로 공정을 단순화시킬 수 있다.

<178> 또한 반사전극(85)이 제1투과홀의 측면인 경사 단차부에 형성될 뿐만아니라, 경사 단차부에서 연장된 제1투과홀의 하면에서 투과전극(85)과 콘택되므로, 반사부의 개구율을 증대시킬 수 있다.

<179> 제2실시예

<180> 도 15, 도 16은 본 발명의 제2실시예에 따른 반사투과형 액정표시장치의 평면도 및 구조단면도이다.

<181> 도 17a 내지 도 17c는 본 발명의 제2실시예에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도이다.

<182> 그리고 도 18a 내지 도 18c는 도 17a 내지 도 17c의 J-J', K-K'와 L-L'에 따라 절단하여 공정순서에 따라 도시한 공정단면도이다.

<183> 여기서, J-J'는 박막트랜지스터와 스토리지 커패시터를 자른 단면도이고, K-K'는 스토리지 커패시터와 투과홀을 자른 단면도이고, L-L'는 게이트패드를 자른 단면도이다.

<184> 본 발명의 제2실시예에 따른 반사투과형 액정표시장치는 도 15와 도 16에 도시한 바와 같이 크게 끝단의 일영역에 게이트패드(91a)가 형성된 게이트배선(91), 끝단의 일영역에 소오스패드(94a)가 형성된 데이터배선(94), 화소영역, 박막트랜지스터 및 스토리지 커패시터로 구성된다.

<185> 상기 화소영역은 서로 교차하여 형성된 게이트배선(91)과 데이터배선(94)에 의해서 정의되고, 반사부와 투과부로 구성된다.

- <186> 이때 화소영역의 투과전극(95)은 드레인전극(94c)과 스토리지 상부전극(94d)상에 직접 콘택되고, 반사전극(99a)은 투과전극(95)상에 제2투과홀(97)을 갖고 반사부에 형성되어 있다.
- <187> 상기 투과전극(95)은 드레인전극(94c)과 스토리지 상부전극(94d)에 동시에 콘택된다.
- <188> 그리고 박막트랜지스터는 게이트배선(91)과 데이터배선(94)의 교차지점에 형성되며, 상기 게이트배선(91)에서 일방향으로 돌출 형성된 게이트전극(91b)과, 상기 데이터배선(94)에서 상기 게이트전극(91b)의 상부로 연장된 소오스전극(94b)과, 상기 소오스전극(94b)과 소정간격 이격된 드레인전극(94c)으로 구성된다.
- <189> 그리고 스토리지 커패시터는 전단 게이트배선과 연결되어 있는 스토리지 하부전극(91c)과, 게이트절연막(92)을 사이에 두고 상기 스토리지 하부전극(91c) 상부에 형성된 스토리지 상부전극(94d)으로 구성된다.
- <190> 상기와 같은 구성을 갖는 본 발명의 반사투과형 액정표시장치를 좀더 구체적으로 설명하면 다음과 같다.
- <191> 도 15와 도 16에 도시한 바와 같이 투명한 기판(90) 상에 일정 간격을 갖고 일라인 방향으로 평행하게 게이트배선(91)이 배열되어 있고, 상기 게이트배선(91)에서 일방향으로 돌출된 게이트전극(91b)이 있고, 전단 게이트배선과 일체형으로 형성되며 스토리지 커패시터 위치에 스토리지 하부전극(91c)이 형성되어 있다.

- <192> 그리고 게이트배선(91)과 게이트전극(91b) 및 스토리지 하부전극(91c)상에 상부층과 전기적으로 절연시키는 역할을 하는 게이트절연막(92)이 형성되어 있고, 상기 게이트전극(91b) 상부의 게이트절연막(92)상에 액티브층(93)이 형성되어 있다.
- <193> 이때 액티브층(93)은 아몰퍼스 실리콘층으로 구성되어 있고, 게이트전극(91b)상부의 채널영역을 제외한 액티브층(93)상에는 도핑된 아몰퍼스 실리콘층으로 구성된 오믹 콘택층(93a)이 형성되어 있다.
- <194> 그리고 상기 게이트배선(91)과 교차 형성되어 화소영역을 정의하는 데이터배선(94)이 있고, 상기 데이터배선(94)에서 일방향으로 돌출되며 액티브층(93)의 일측과 오버랩된 소오스전극(94b)이 있고, 상기 소오스전극(94b)과 이격되어 액티브층(93)의 타측과 오버랩되어 형성된 드레인전극(94c)이 있다.
- <195> 그리고 상기 드레인전극(94c)과 이격되며 전단 게이트배선에 형성된 상기 스토리지 하부전극(91c) 상부에 스토리지 상부전극(94d)이 형성되어 있다.
- <196> 그리고 화소영역에 상기 스토리지 상부전극(94d) 및 드레인전극(94c)에 오버랩되어 직접 콘택된 투과전극(95)이 있다.
- <197> 이때 투과전극(95)은 차후에 설명될 제2투과홀(97)보다 크면 된다.
- <198> 그리고 박막트랜지스터와 화소영역을 포함한 상기 기판(90) 전면에 형성되며 화소영역의 투과전극(95)과 게이트패드(91a) 및 소오스패드(94a) 상부에 각각 제1투과홀과 제1, 제2콘택홀(98a, 98b)이 형성된 보호막(96)이 있다.

- <199> 투과홀은 제1투과홀과 제2투과홀로 구분되는데, 제1투과홀은 보호막(96)에 의해 경사 단차를 갖고 형성된 콘택홀을 지칭하고, 제2투과홀은 차후에 반사전극(99a)에 의해 투과전극(95)이 드러나는 영역을 지칭한다.
- <200> 따라서 제1투과홀은 제2투과홀보다 그 면적이 넓다.
- <201> 그리고 화소영역상의 경사 단차부에서 연장된 제1투과홀 하면에서 투과전극(95)과 콘택되어 반사부상에 반사전극(99a)이 형성되어 있다.
- <202> 상기 반사전극(99a)은 화소영역을 정의하는 데이터배선(94)과 소정간격 겹쳐 형성된다.
- <203> 상기 반사전극(99a)과 투과전극(95)이 합쳐져 화소전극을 이룬다.
- <204> 상기와 같이 구성하면 투과전극(95)이 드레인전극(94c)과 스토리지 상부전극(94d)과 직접 콘택되어 있기 때문에, 드레인전극(94c)과 투과전극(95), 스토리지 상부전극(94d)과 투과전극(95) 사이에 별도의 콘택이 필요하지 않아 공정을 단순화시킬 수 있다.
- <205> 또한 반사전극(99a)은 보호막(96) 상부, 제1투과홀의 경사 단차부, 그리고 경사 단차부에서 연장된 제1투과홀 하면에까지 연장 형성되어 있으므로 반사효율을 증대시킬 수 있다는 효과가 있다.
- <206> 다음에 상기와 같은 구성을 갖는 반사투과형 액정표시장치의 제조방법을 도 17a 내지 도 17c와 도 18a 내지 도 18c를 참조하여 설명한다.
- <207> 먼저, 도 17a와 도 18a에 도시한 바와 같이 투명한 기판(90)상에 도전성 금속인 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 기타의 도전성합금을 증착하고 패터닝하여, 끝단

에 소정면적을 이루도록 게이트패드(91a)와 상기 게이트패드(91a)에서 일방향으로 연장된 게이트배선(91)과 상기 게이트배선(91)에서 소정면적으로 돌출 형성된 게이트전극(91b)을 형성한다.

<208> 상기 게이트배선(91)을 형성함과 동시에, 전단 게이트배선의 스토리지 커패시터 영역에 스토리지 하부전극(91c)을 형성한다.

<209> 다음에 게이트배선(91b)이 형성된 기판(90) 전면에 실리콘 다이옥사이드(SiO_2)나 실리콘 나이트라이드(SiN_x)와 같은 절연물질을 증착하고, 연속으로 아몰퍼스 실리콘(a-Si)과 불순물이 함유된 아몰퍼스 실리콘을 증착하여 제1절연층과 반도체층(아몰퍼스 실리콘 + 불순물 아몰퍼스 실리콘)을 형성한다.

<210> 이후에 상기 반도체층을 패터닝하여 상기 게이트전극(91b)의 상부에 아일랜드형태로 반도체패턴을 형성한다.

<211> 그리고 상기 반도체패턴이 형성된 기판(90)의 전면에 몰리브덴(Mo), 텅스텐(W) 또는 크롬(Cr)과 같은 도전성 금속을 증착하고 패터닝한다.

<212> 상기 패터닝 공정을 진행하여 상기 제1절연층을 사이에 두고 교차하는 데이터배선(94)을 형성하고, 데이터배선(94)의 일 끝단에 소오스패드(94a)를 형성하고, 상기 게이트전극(91b)의 상부로 일 방향으로 돌출 형성되고 반도체패턴의 일측과 겹쳐지도록 소오스전극(94b)을 형성한다.

<213> 그리고 상기 데이터배선(94)을 형성함과 동시에, 소오스전극(94b)과 소정간격 이격되고 상기 반도체패턴의 타측과 겹쳐지도록 드레인전극(94c)을 형성하고, 상기 드레인전

극(94c)과 이격되며 전단 게이트배선에 형성된 스토리지 하부전극(91c) 상부에 스토리지 상부전극(94d)을 형성한다.

<214> 이후에 상기 소오스전극(94b)과 드레인전극(94c)을 마스크로 도핑된 아몰퍼스 실리콘층을 식각하여, 상기 반도체패턴층 아몰퍼스 실리콘층으로 구성된 액티브층(93)을 형성하고, 채널영역을 제외한 액티브층(93)상에는 도핑된 아몰퍼스 실리콘층으로 구성된 오믹 콘택층(93a)을 형성한다.

<215> 다음에 도 17b와 도 18b에 도시한 바와 같이, 상기 소오스전극(94b)과 드레인전극(94c)이 형성된 기판(90)의 전면에 인듐-틴-옥사이드(Indium Tin Oxide : ITO) 와 인듐-징크-옥사이드 (Indium Zinc Oxide : IZO)등을 포함하는 투명 도전성금속 그룹 중 선택된 하나를 증착하고 습식각하여, 드레인전극(94c) 및 전단 게이트배선상에 형성된 상기 스토리지 상부전극(94d)과 직접 콘택되도록 화소영역에 투과전극(95)을 형성한다.

<216> 이때 투과전극(95)은 차후에 제2투과홀(도 17c와 도 18c 참조)이 형성될 영역보다 크게 형성하면 된다.

<217> 이후에 도 17c와 도 18c에 도시한 바와 같이 벤조사이클로부텐 (benzocyclobuten:BCB), 포토아크릴(photoacryl)계 수지(resin)등이 포함된 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(96)을 형성한다.

<218> 이와 같은 공정에서 상기 보호막(96)은 유전율이 낮은 절연막을 소정의 두께로 도포한 것이므로 차후에 형성될 반사전극과 상기 각 배선의 겹침 구조에 의한 기생 커패시턴스(parasitic capacitance)에 의해 발생하는 문제를 방지할 수 있다.

- <219> 다음에 포토공정을 진행하여 화소영역의 투과전극(95)이 일영역 드러나도록 투과홀(97)을 형성하고, 동시에 게이트패드(91a)와 소오스패드(94a)상에 패드 오픈공정을 하여 제1, 제2콘택홀(98a, 98b(도면에는 도시되지 않음))을 형성한다.
- <220> 이후에 보호막(96)이 형성된 기판(90)의 전면에 알루미늄(Al) 또는 알루미늄 합금 또는 Ag와 같은 저항 값이 작고 반사율이 뛰어난 반사금속을 증착한 후 패터닝하여, 상기 투과전극(95)이 드러나며 투과홀(97)의 가장자리에서 상기 투과전극(95)과 콘택되도록 화소영역의 반사부에 반사전극(99a)을 형성한다.
- <221> 이때 반사전극(99a)은 단층 구조보다는 2층 구조(예 : Mo-Al, Mo-AlNd)로 형성하는 것이 바람직한데, 그 이유는 투명 전극(ITO)과의 콘택 저항을 낮출 수 있고, Al, AlNd와 ITO가 직접 접하여 생기는 갈바닉 부식 문제를 방지할 수 있기 때문이다.
- <222> 상기 반사전극(99a)을 형성함과 동시에, 게이트패드(91a)상의 콘택홀 및 이에 인접한 보호막(96)상에 상기 게이트패드(91a)와 접촉하는 게이트패드단자(99b)를 형성하고, 소오스패드(94a)상의 콘택홀 및 이에 인접한 보호막(96)상에 소오스패드(94a)와 접촉하는 소오스패드단자(99c)를 형성한다.
- <223> 이때 반사전극(99a)은 상기 화소영역을 정의하는 데이터배선(94)과 소정간격 오버랩되도록 형성한다.
- <224> 이와 같은 공정에 의해서 반사투과형 액정표시장치를 제조하면 드레인전극(94c)과 투과전극(95), 스토리지 상부전극(94d)과 투과전극(95)간에 별도의 콘택 공정을 진행하지 않아도 되므로 공정을 단순화시킬 수 있다.

- <225> 또한 반사전극(95)이 제1투과홀의 측면인 경사 단차부에 형성될 뿐만아니라, 경사 단차부에서 연장된 제1투과홀의 하면에서 투과전극(95)과 콘택되므로, 반사부의 개구율을 증대시킬 수 있다.
- <226> 제3실시예
- <227> 도 19, 도 20는 본 발명의 제3실시예에 따른 반사투과형 액정표시장치의 평면도 및 구조단면도이다.
- <228> 도 21a 내지 도 21c는 본 발명의 제3실시예에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도이다.
- <229> 그리고 도 22a 내지 도 22c는 도 21a 내지 도 21c의 M-M', N-N'와 O-O'에 따라 절단하여 공정순서에 따라 도시한 공정단면도이다.
- <230> 여기서, M-M'는 박막트랜지스터와 스토리지 커패시터를 자른 단면도이고, N-N'는 스토리지 커패시터와 투과홀을 자른 단면도이고, O-O'는 게이트패드를 자른 단면도이다.
- <231> 본 발명의 제3실시예에 따른 반사투과형 액정표시장치는 반사전극(119a)이 요철구조를 갖는다는 것에 구성적 특징이 있다.
- <232> 다시말해서 반사전극(119a)이 형성될 보호막 상부에 요철 구조가 형성되고, 요철 구조를 갖는 보호막상에 반사전극(119a)이 형성되어 있다.
- <233> 이때 보호막 상부의 요철은 제2투과홀(117)이 형성될 영역을 제외한 전체 화소영역(반사부)에 형성된다.

- <234> 상기와 같은 구성적 특징을 갖는 본 발명 제3실시예에 따른 반사투과형 액정표시장치는 도 19와 도 20에 도시한 바와 같이 크게 끝단의 일영역에 게이트패드(111a)가 형성된 게이트배선(111), 끝단의 일영역에 소오스패드(114a)가 형성된 데이터배선(114), 화소영역, 박막트랜지스터 및 스토리지 커패시터로 구성된다.
- <235> 상기 화소영역은 서로 교차하여 형성된 게이트배선(111)과 데이터배선(114)에 의해서 정의되고, 반사부와 투과부로 구성된다.
- <236> 이때 화소영역의 투과전극(115)은 드레인전극(114c)과 스토리지 상부전극(114d)상에 직접 접촉되고, 반사전극(119a)은 투과전극(115)상에 제2투과홀(117)을 갖고 반사부에 형성되어 있다. 상기 투과전극(115)은 드레인전극(114c)과 스토리지 상부전극(114d)에 동시에 접촉된다.
- <237> 그리고 박막트랜지스터는 게이트배선(111)과 데이터배선(114)의 교차지점에 형성되며, 상기 게이트배선(111)에서 일방향으로 돌출 형성된 게이트전극(111b)과, 상기 데이터배선(114)에서 상기 게이트전극(111b)의 상부로 연장된 소오스전극(114b)과, 상기 소오스전극(114b)과 소정간격 이격된 드레인전극(114c)으로 구성된다.
- <238> 그리고 스토리지 커패시터는 전단 게이트배선과 연결되어 있는 스토리지 하부전극(111c)과, 게이트절연막(112)을 사이에 두고 상기 스토리지 하부전극(111c) 상부에 형성된 스토리지 상부전극(114d)으로 구성된다.
- <239> 상기와 같은 구성을 갖는 본 발명의 반사투과형 액정표시장치를 좀더 구체적으로 설명하면 다음과 같다.

- <240> 도 19와 도 20에 도시한 바와 같이 투명한 기판(110) 상에 일정 간격을 갖고 일정한 방향으로 평행하게 게이트배선(111)이 배열되어 있고, 상기 게이트배선(111)에서 일 방향으로 돌출된 게이트전극(111b)이 있고, 전단 게이트배선과 일체형으로 형성되며 스토리지 커패시터 위치에 스토리지 하부전극(111c)이 형성되어 있다.
- <241> 그리고 게이트배선(111)과 게이트전극(111b) 및 스토리지 하부전극(111c)상에 상부층과 전기적으로 절연시키는 역할을 하는 게이트절연막(112)이 형성되어 있고, 상기 게이트전극(111b) 상부의 게이트절연막(112)상에 액티브층(113)이 형성되어 있다.
- <242> 이때 액티브층(113)은 아몰퍼스 실리콘층으로 구성되어 있고, 게이트전극(111b)상부의 채널영역을 제외한 액티브층(113)상에는 도핑된 아몰퍼스 실리콘층으로 구성된 오믹 콘택층(113a)이 형성되어 있다.
- <243> 그리고 상기 게이트배선(111)과 교차 형성되어 화소영역을 정의하는 데이터배선(114)이 있고, 상기 데이터배선(114)에서 일방향으로 돌출되며 액티브층(113)의 일측과 오버랩된 소오스전극(114b)이 있고, 상기 소오스전극(114b)과 이격되어 액티브층(113)의 타측과 오버랩되어 형성된 드레인전극(114c)이 있다.
- <244> 그리고 상기 드레인전극(114c)과 이격되며 전단 게이트배선에 형성된 상기 스토리지 하부전극(111c) 상부에 스토리지 상부전극(114d)이 형성되어 있다.
- <245> 그리고 화소영역에 상기 스토리지 상부전극(114d) 및 드레인전극(114c)에 오버랩되어 직접 콘택된 투과전극(115)이 있다.
- <246> 이때 투과전극(115)은 차후에 설명될 제2투과홀(117)보다 크다.

- <247> 그리고 박막트랜지스터와 화소영역을 포함한 상기 기판(110) 전면에 형성되며 화소 영역의 투과전극(115)과 게이트패드(111a) 및 소오스패드(114a) 상부에 각각 제1투과홀과 제1, 제2콘택홀(118a,118b)(도 11c)이 형성된 제1, 제2보호막(116a,116b)이 적층 형성되어 있다.
- <248> 이때 제1, 제2보호막(116a,116b)은 차후에 반사전극(119a)이 형성될 상부에서 요철을 갖는다. 즉, 제2투과홀을 제외한 반사부 전체에서 요철을 갖는다.
- <249> 투과홀은 제1투과홀과 제2투과홀로 구분되는데, 제1투과홀은 제1보호막(116a)에 의해 경사 단차를 갖고 형성된 콘택홀을 지칭하고, 제2투과홀은 차후에 반사전극(119a)에 의해 투과전극(115)이 드러나는 영역을 지칭한다.
- <250> 따라서 제1투과홀은 제2투과홀보다 그 면적이 넓다.
- <251> 그리고 화소영역상의 경사 단차부에서 연장된 제1투과홀 하면에서 투과전극(115)과 콘택되어 반사부상에 반사전극(119a)이 형성되어 있다.
- <252> 상기 반사전극(119a)은 화소영역을 정의하는 데이터배선(114)과 소정간격 겹쳐 형성된다.
- <253> 상기 반사전극(119a)과 투과전극(115)이 합쳐져서 화소전극을 이룬다.
- <254> 상기와 같이 구성하면 투과전극(115)이 드레인전극(114c) 및 스토리지 상부전극(114d)과 직접 콘택되어 있기 때문에, 드레인전극(114c)과 투과전극(115), 스토리지 상부전극(114d)과 투과전극(115) 사이에 별도의 콘택이 필요하지 않아 공정을 단순화시킬 수 있다.

- <255> 또한 반사전극(119a)은 제1보호막(116a) 상부, 제1투과홀의 경사 단차부, 그리고 경사 단차부에서 연장된 제1투과홀 하면에까지 연장 형성되어 있으므로 반사효율을 증대시킬 수 있다는 효과가 있다.
- <256> 뿐만아니라, 반사전극(119a)이 요철을 이루고 있으므로 유효시야각 범위에서의 반사율을 향상시킬 수 있다.
- <257> 이와 같이 반사전극(119a)이 요철을 갖는 구조는 스토리지 상부전극과 드레인전극이 연결된 구조에서도 적용할 수 있다.
- <258> 다음에 상기와 같은 구성을 갖는 반사투과형 액정표시장치의 제조방법을 도 21a 내지 도 21c와 도 22a 내지 도 22c를 참조하여 설명한다.
- <259> 먼저, 도 21a와 도 22a에 도시한 바와 같이 투명한 기판(110)상에 도전성 금속인 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 기타의 도전성합금을 증착하고 패터닝하여, 끝단에 소정면적을 이루도록 게이트패드(111a)와 상기 게이트패드(111a)에서 일방향으로 연장된 게이트배선(111)과 상기 게이트배선(111)에서 소정면적으로 돌출 형성된 게이트전극(111b)을 형성한다.
- <260> 상기 게이트배선(111)을 형성함과 동시에, 전단 게이트배선의 스토리지 커패시터 영역에 스토리지 하부전극(111c)을 형성한다.
- <261> 다음에 게이트배선(111)이 형성된 기판(110) 전면에 실리콘 다이옥사이드(SiO_2)나 실리콘 나이트라이드(SiN_x)와 같은 절연물질을 증착하고, 연속으로 아몰퍼스 실리콘(a-Si)과 불순물이 함유된 아몰퍼스 실리콘을 증착하여 제1절연층과 반도체층(아몰퍼스 실리콘 + 불순물 아몰퍼스 실리콘)을 형성한다.

- <262> 이후에 상기 반도체층을 패터닝하여 상기 게이트전극(111b)의 상부에 아일랜드형태로 반도체패턴을 형성한다.
- <263> 그리고 상기 반도체패턴이 형성된 기판(110)의 전면에 몰리브덴(Mo), 텅스텐(W) 또는 크롬(Cr)과 같은 도전성 금속을 증착하고 패터닝한다.
- <264> 상기 패터닝 공정을 진행하여 상기 제1절연층을 사이에 두고 교차하는 데이터배선(114)을 형성하고, 데이터배선(114)의 일 끝단에 소오스패드(114a)를 형성하고, 상기 게이트전극(111b)의 상부로 일 방향으로 돌출 형성되고 반도체패턴의 일측과 겹쳐지도록 소오스전극(114b)을 형성한다.
- <265> 그리고 상기 데이터배선(114)을 형성함과 동시에, 소오스전극(114b)과 소정간격 이격되고 상기 반도체패턴의 타측과 겹쳐지도록 드레인전극(114c)을 형성하고, 상기 드레인전극(114c)과 이격되며 전단 게이트배선에 형성된 스토리지 하부전극(111c) 상부에 스토리지 상부전극(114d)을 형성한다.
- <266> 이후에 상기 소오스전극(114b)과 드레인전극(114c)을 마스크로 도핑된 아몰퍼스 실리콘층을 식각하여, 상기 반도체패턴중 아몰퍼스 실리콘층으로 구성된 액티브층(113)을 형성하고, 채널영역을 제외한 액티브층(113)상에는 도핑된 아몰퍼스 실리콘층으로 구성된 오믹 콘택층(113a)을 형성한다.
- <267> 다음에 도 21b와 도 22b에 도시한 바와 같이, 상기 소오스전극(114b)과 드레인전극(114c)이 형성된 기판(110)의 전면에 인듐-틴-옥사이드(Indium Tin Oxide : ITO) 와 인듐-징크-옥사이드 (Indium Zinc Oxide : IZO)등을 포함하는 투명 도전성금속 그룹 중 선택된 하나를 증착하고 습식각하여, 드레인전극(114c) 및 전단 게이트배선상에

형성된 상기 스토리지 상부전극(114d)과 직접 접촉되도록 화소영역에 투과전극(115)을 형성한다.

<268> 이때 투과전극(115)은 차후에 제2투과홀(도 21c와 도 22c 참조)이 형성될 영역보다 크게 형성하면 된다.

<269> 이후에 도 21c와 도 22c에 도시한 바와 같이 벤조사이클로부텐(benzocyclobuten:BCB), 포토아크릴(photoacryl)계 수지(resin)등이 포함된 유기절연물질 그룹 중 선택된 하나를 도포하여 제1, 제2보호막(116a, 116b)을 형성한다.

<270> 다음에 노광 및 현상공정으로 반사부에 대응되는 제2보호막(116b)에 요철 패턴을 갖도록 한다.

<271> 즉, 제2보호막(116b)의 요철은 제2투과홀(117)을 제외한 화소영역에 형성한다.

<272> 다음에 포토공정을 진행하여 화소영역의 투과전극(115)이 일영역 드러나도록 제1투과홀을 형성하고, 동시에 게이트패드(111a)와 소오스패드(114a)상에 패드 오픈공정을 하여 제1, 제2콘택홀(118a, 118b)을 형성한다.

<273> 이후에 요철 구조를 갖는 제2보호막(116b)을 포함한 기판(110)의 전면에 알루미늄(Al) 또는 알루미늄 합금 또는 Ag와 같은 저항 값이 작고 반사율이 뛰어난 반사금속을 증착한 후 패터닝하여, 상기 투과전극(115)이 드러나며 경사단차에서 연장된 제1투과홀(117)의 하면에서 상기 투과전극(115)과 접촉되도록 화소영역의 반사부에 반사전극(119a)을 형성한다.

- <274> 이때 반사전극(119a)은 단층 구조보다는 2층 구조(예 : Mo-Al, Mo-AlNd)로 형성하는 것이 바람직한데, 그 이유는 투명 전극(ITO)과의 콘택 저항을 낮출 수 있고, Al, AlNd와 ITO가 직접 접하여 생기는 갈바닉 부식 문제를 방지할 수 있기 때문이다.
- <275> 상기 반사전극(119a)을 형성함과 동시에, 게이트패드(111a)상의 콘택홀 및 이에 인접한 제1, 제2보호막(116a, 116b)상에 상기 게이트패드(111a)와 접촉하는 게이트패드단자(119b)를 형성하고, 소오스패드(114a)상의 콘택홀 및 이에 인접한 제1, 제2보호막(116a, 116b)상에 소오스패드(114a)와 접촉하는 소오스패드단자(119c)를 형성한다.
- <276> 이때 반사전극(119a)은 상기 화소영역을 정의하는 데이터배선(114)과 소정간격 오버랩되도록 형성한다.
- <277> 제4실시예
- <278> 본 발명의 제4실시예에 따른 반사투과형 액정표시장치의 제조방법은, 본 발명의 제1실시예와 거의 동일한 방법에 의해 제조되는데 단지 차이가 있다면, 투과전극을 형성한 후에 반도체패턴의 도핑된 아몰퍼스 실리콘층을 식각하여 액티브층과 오믹 콘택층을 형성한다는 것이다.
- <279> 상기에서 투과전극을 형성한 후에 도핑된 아몰퍼스 실리콘층을 식각하는 이유는, 본 발명의 제1실시예에서 도핑된 아몰퍼스 실리콘층을 식각하여 오믹 콘택층을 형성한 후에, 투명 도전성 금속을 증착하고 습식식각하여 투과전극을 형성할 때, 습식식각 공정 에 의해서 박막 트랜지스터의 채널영역이 손상되는 것을 방지하기 위해서이다.

- <280> 이하, 본 발명의 제4실시예에 따른 반사투과형 액정표시장치의 제조방법에 대하여 설명하기로 한다.
- <281> 도 23a 내지 도 23c는 본 발명의 제4실시예에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도이고,
- <282> 도 24a 내지 도 24c는 도 23a 내지 도 23c의 P-P', Q-Q', R-R'를 따라 절단하여 공정순서에 따라 도시한 공정단면도이다.
- <283> 먼저, 도 23a와 도 24a에 도시한 바와 같이 투명한 기판(180)상에 도전성 금속인 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 기타의 도전성합금을 증착하고 패터닝하여, 끝단에 소정면적을 이루도록 게이트패드(181a)와 상기 게이트패드(181a)에서 일방향으로 연장된 게이트배선(181)과 상기 게이트배선(181)의 일측에서 소정면적으로 돌출 형성된 게이트전극(181b)을 형성한다.
- <284> 상기 게이트배선(181)을 형성함과 동시에, 전단 게이트배선의 스토리지 커패시터 영역에 스토리지 하부전극(181c)을 형성한다.
- <285> 다음에 게이트배선(181)이 형성된 기판(180) 전면에 실리콘 다이옥사이드(SiO_2)나 실리콘 나이트라이드(SiN_x)와 같은 절연물질을 증착하고, 연속으로 아몰퍼스 실리콘(a-Si)과 불순물이 함유된 아몰퍼스 실리콘을 증착하여 게이트절연막(182)과 반도체층(아몰퍼스 실리콘층 + 도핑된 아몰퍼스 실리콘층)을 형성한다.
- <286> 이후에 상기 반도체층을 패터닝하여 상기 게이트전극(181b)의 상부에 아일랜드형태로 반도체패턴(183)을 형성한다.

- <287> 그리고 상기 반도체패턴(183)이 형성된 기판(181)의 전면에 몰리브덴(Mo), 텅스텐(W) 또는 크롬(Cr)과 같은 도전성 금속을 증착하고 패터닝한다.
- <288> 상기 패터닝 공정을 진행하여 상기 게이트절연막(182)을 사이에 두고 교차하는 데이터배선(184)을 형성하고, 데이터배선(184)의 일 끝단에 소오스패드(184a)를 형성하고, 상기 게이트전극(181b)의 상부의 반도체패턴(183)의 일측과 겹쳐지도록 소오스전극(184b)을 돌출 형성한다.
- <289> 그리고 상기 데이터배선(184)을 형성함과 동시에, 소오스전극(184b)과 소정간격 이격되고 상기 반도체패턴(183)의 타측과 겹쳐지도록 드레인전극(184c)을 형성하고, 상기 드레인전극(184c)과 일체형으로 연결되며 전단 게이트배선에 형성된 스토리지 하부전극(181c) 상부에 스토리지 상부전극(184d)을 형성한다.
- <290> 다음에 도 23b와 도 24b에 도시한 바와 같이, 상기 소오스전극(184b)과 드레인전극(184c)이 형성된 기판(180)의 전면에 인듐-틴-옥사이드(Indium Tin Oxide : ITO) 와 인듐-징크-옥사이드 (Indium Zinc Oxide : IZO)등을 포함하는 투명 도전성금속 그룹 중 선택된 하나를 증착하고 습식각하여, 전단 게이트배선상에 형성된 상기 스토리지 상부전극(184d)과 직접 콘택되도록 화소영역에 투과전극(185)을 형성한다.
- <291> 이때 투과전극(185)은 차후에 제2투과홀(도 23c와 도 24c의 도면부호'187')이 형성될 영역보다 크게 형성하면 된다.
- <292> 이후에 상기 소오스전극(184b)과 드레인전극(184c)을 마스크로 반도체패턴(183)의 도핑된 아몰퍼스 실리콘층을 식각하여, 상기 반도체패턴(183)중 아몰퍼스 실리콘층으로

구성된 액티브층(183a)을 형성하고, 채널영역을 제외한 액티브층(183a)상에는 도핑된 아몰퍼스 실리콘층으로 구성된 오믹 콘택층(183b)을 형성한다.

<293> 이후에 도 23c와 도 24c에 도시한 반사투과형 액정표시장치의 제조방법은 본 발명의 제1실시예에 따른 제조방법과 동일하게 진행하는 것으로 이하, 생략한다.

<294> 이와 같은 공정에 의해서 반사투과형 액정표시장치를 제조하면 본 발명의 제1실시예에 따른 공정단순화 및 개구율 증대의 효과 뿐만아니라, 투과전극 형성시에 박막 트랜지스터의 채널영역이 손상되지 않도록 할 수 있다는 효과도 있다.

<295> 제5실시예

<296> 본 발명의 제5실시예에 따른 반사투과형 액정표시장치 및 그의 제조방법은 본 발명의 제1실시예와 거의 동일한데 단지 차이가 있다면, 소오스/드레인전극과 투과전극 사이에 실리콘질화막으로 형성된 버퍼절연막을 삽입하고, 투과전극과 스토리지 상부전극이 콘택되는 부분에 콘택홀을 형성한다는 것이다.

<297> 상기에서 소오스/드레인전극과 투과전극 사이에 실리콘질화막으로 형성된 버퍼절연막을 삽입하는 이유는, 본 발명의 제1실시예에서 도핑된 아몰퍼스 실리콘층을 식각하여 오믹 콘택층을 형성한 후에, 투명 도전성 금속을 증착하고 습식식각하여 투과전극을 형성할 때, 습식식각 공정에 의해서 박막 트랜지스터의 채널영역이 손상되는 것을 방지하기 위해서이다.

<298> 이하, 본 발명의 제5실시예에 따른 반사투과형 액정표시장치 및 그의 제조방법에 대하여 설명하기로 한다.

- <299> 도 25, 도 26은 본 발명의 제5실시예에 따른 반사투과형 액정표시장치의 평면도 및 구조단면도이다.
- <300> 도 27a 내지 도 27c는 본 발명의 제5실시예에 따른 반사투과형 액정표시장치의 제조방법을 어레이기판의 화소를 확대하여 나타낸 단계적 평면도이고, 도 28a 내지 도 28c는 도 27a 내지 도 27c의 S-S', T-T', U-U'를 따라 절단하여 공정순서에 따라 도시한 공정단면도이다.
- <301> 먼저, 본 발명에 따른 반사투과형 액정표시장치는 도 25와 도 26에 도시한 바와 같이 기판(280)상에 게이트배선(281), 게이트전극(281b), 게이트패드(281a), 스토리지 하부전극(281c), 게이트절연막(282), 데이터배선(284), 소오스패드(284a), 소오스전극(284b), 드레인전극(284c), 스토리지 상부전극(284d), 액티브층(283) 및 오믹 콘택층(283a)의 구성은 본 발명의 제1실시예와 동일하다.
- <302> 차이가 나는 부분은 상기 소오스/드레인전극(284b/284c)을 포함한 기판(280) 전면에 실리콘질화막으로 구성된 버퍼절연막(285)이 삽입되어 있고, 상기 스토리지 상부전극(285)의 일영역에 제1콘택홀(286)이 형성되어 있으며, 투과전극(287)이 제1콘택홀(286)을 통해서 스토리지 상부전극(284d)과 콘택되어 화소영역에 형성되어 있다는 것이다.
- <303> 상기에서 투과전극(287)이 제1콘택홀(286)을 통해서 스토리지 상부전극(284d)과 콘택되어 있다는 것을 제외하고는, 투과전극(287)의 형상은 본 발명의 제1실시예와 동일하다.

- <304> 이하의 보호막(288), 투과홀(제 2 투과홀(289)), 제2콘택홀(290a), 제3콘택홀(290b), 반사전극(291a)과, 게이트패드단자(291b), 소오스패드단자(291c)의 구성은 본 발명의 제1실시예와 동일하다.
- <305> 상기에서 본 발명의 제2콘택홀(290a), 제3콘택홀(290b)은 본 발명의 제1실시예의 제1콘택홀(88a), 제2콘택홀(88b)과 각각 대응된다.
- <306> 다음에 본 발명의 제5실시예에 따른 반사투과형 액정표시장치의 제조방법을 설명하면, 도 27a, 도 28a에 도시된 방법은 본 발명의 제1실시예에 제시된 방법과 동일하다.
- <307> 이후에 도 27b와 도 28b에 도시된 바와 같이 소오스/드레인전극(284b/284c) 및 액티브층(283) 오믹 콘택층(283a)을 포함한 기판(280) 전면에 실리콘질화막으로 구성된 버퍼절연막(285)을 증착한다.
- <308> 이후에 스토리지 상부전극(284d)의 일영역상이 오픈되도록 포토레지스트 패턴(미도시)을 형성하고, 포토레지스트 패턴을 마스크로 버퍼절연막(285)을 식각하여 제1콘택홀(286)을 형성한다.
- <309> 다음에, 상기 제1콘택홀(286)이 형성된 버퍼절연막(285)상에 인듐-틴-옥사이드 (Indium Tin Oxide : ITO) 와 인듐-징크-옥사이드 (Indium Zinc Oxide : IZO)등을 포함하는 투명 도전성금속 그룹 중 선택된 하나를 증착하고 습식각하여, 제1콘택홀(286)을 통해 상기 스토리지 상부전극(284d)과 콘택되도록 화소영역에 투과전극(287)을 형성한다.
- <310> 이때 투과전극(287)은 차후에 제2투과홀(도 27c와 도 28c의 도면부호'289')이 형성될 영역보다 크게 형성하면 된다.

- <311> 그리고 도 27c와 도 28c에 도시된 보호막(288), 투과홀(제 2 투과홀(289)), 제2콘택홀(290a), 제3콘택홀(290b), 반사전극(291a)과, 게이트패드단자(291b), 소오스패드단자(291c)도 본 발명의 제1실시예와 동일한 방법에 의해 제조한다.
- <312> 상기 공정에 의해 제조하면, 본 발명의 제1실시예에 따른 효과 뿐만아니라, 투과전극 형성시 박막트랜지스터의 채널영역이 손상되는 것을 방지할 수 있는 효과도 도출된다.
- <313> 본 발명은 바람직한 실시예로서 설명되었으나, 당업자라면 첨부된 특허 청구에 정의된 바와 같이 본 발명의 범주를 벗어나지 않고 많은 변형이 이루어질 수 있음을 알수 있다.

【발명의 효과】

- <314> 상기와 같은 본 발명의 반사투과형 액정표시장치 및 그 제조방법은 다음과 같은 효과가 있다.
- <315> 첫째, 드레인전극과 투과전극, 스토리지 상부전극과 투과전극간에 별도의 콘택홀 형성 공정을 진행하지 않아도 되므로 공정을 단순화시킬 수 있다.
- <316> 둘째, 스토리지 커패시터 상에 콘택홀을 형성하지 않아도 되므로 종래의 콘택홀 형성영역 만큼 개구율이 감소되는 것을 방지할 수 있다.
- <317> 셋째, 반사전극이 제1투과홀의 측면인 경사 단차부에 형성될 뿐만아니라, 경사 단차부에서 연장된 제1투과홀의 하면에서 투과전극과 콘택되므로, 반사부의 개구율을 증대시킬 수 있다.

<318> 넷째, 투과전극 형성후에 도핑된 아몰퍼스 실리콘층을 식각하므로, 박막트랜지스터의 채널영역이 손상되는 것을 방지할 수 있다.

<319> 다섯째, 투과전극을 형성하기전에 버퍼절연막을 증착하므로써, 차후에 투과전극 형성을 위한 습식각공정시 박막트랜지스터의 채널영역이 손상되는 것을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치에 있어서,
교차 배치되어 화소영역을 정의하는 복수개의 게이트배선 및 데이터배선과;
상기 게이트배선과 데이터배선의 교차부분에 형성된 박막트랜지스터와;
전단 게이트배선의 일부로 이루어진 스토리지 하부전극과, 상기 스토리지 하부전
극상에 게이트절연막을 사이에 두고 형성된 스토리지 상부전극과;
상기 박막트랜지스터의 드레인전극과 상기 스토리지 상부전극중 적어도 어느 하나
에 직접 연결되도록 상기 화소영역에 형성된 투과전극과;
상기 투과전극의 일부가 드러나도록 상기 반사영역에 형성된 반사전극을 포함함을
특징으로 하는 반사투과형 액정표시장치.

【청구항 2】

제1항에 있어서,
상기 박막트랜지스터의 드레인전극은 화소영역으로 연장되어 상기 스토리지 상부전
극과 연결됨을 특징으로 하는 반사투과형 액정표시장치.

【청구항 3】

제2항에 있어서,
상기 투과전극이 상기 박막트랜지스터의 드레인전극의 연장부와 상기 스토리지 상
부전극중 어느 하나에 연결되는 것을 특징으로 하는 반사투과형 액정표시장치.

【청구항 4】

제1항에 있어서,

상기 투과전극이 상기 박막트랜지스터의 드레인전극과 상기 스토리지 상부전극 모두에 직접 연결되는 것을 포함함을 특징으로 하는 반사투과형 액정표시장치.

【청구항 5】

제1항에 있어서,

상기 반사영역에서 상기 투과전극과 상기 반사전극 사이에는 보호막이 개재되는 것을 특징으로 하는 반사투과형 액정표시장치.

【청구항 6】

제5항에 있어서,

상기 보호막은 상기 반사영역에서 요철 패턴을 갖는 것을 포함함을 특징으로 하는 반사투과형 액정표시장치.

【청구항 7】

제1항에 있어서,

상기 반사전극은 Mo-Al 또는 Mo-AlNd의 2층 구조를 이루는 것을 특징으로 하는 반사투과형 액정표시장치.

【청구항 8】

각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치에 있어서,

교차 배치되어 화소영역을 정의하는 복수개의 게이트배선 및 데이터배선과;

상기 게이트배선과 데이터배선의 교차부분에 형성된 박막트랜지스터와;

상기 박막트랜지스터의 드레인전극과 일체형으로 형성되며 전단 게이트배선상에 형성된 스토리지 커패시터의 스토리지 상부전극과;

상기 스토리지 상부전극에 직접 접촉되도록 상기 화소영역에 형성된 투과전극과;

상기 투과전극의 일부가 드러나도록 경사 단차를 갖는 제1투과홀이 구비된 보호막과;

상기 투과전극이 제2투과홀을 갖고 드러나도록 상기 경사 단차 부분과, 상기 보호막상부와, 상기 경사 단차에 인접한 상기 제1투과홀 하면의 상기 반사영역에 형성된 반사전극을 포함함을 특징으로 하는 반사투과형 액정표시장치.

【청구항 9】

제8항에 있어서,

상기 반사전극은 경사 단차에서 연장된 상기 제1투과홀 하면에서 상기 투과전극과 접촉되는 것을 특징으로 하는 액정표시장치.

【청구항 10】

각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치에 있어서,

교차 배치되어 화소영역을 정의하는 복수개의 게이트배선 및 데이터배선과;

상기 게이트배선과 데이터배선의 교차부분에 형성된 박막트랜지스터와;

상기 박막트랜지스터의 드레인전극과 이격되어 이웃하는 전단 게이트배선상에 형성된 스토리지 커패시터의 스토리지 상부전극과;

상기 박막트랜지스터의 드레인전극과 상기 스토리지 상부전극에 직접 접촉되도록 상기 화소영역에 형성된 투과전극과;

상기 투과전극의 일부가 드러나도록 경사 단차를 갖는 제1투과홀이 구비되며, 상기 스토리지 상부전극 및 드레인전극을 포함한 상기 반사영역에 요철이 형성된 보호막과;

상기 투과전극이 제2투과홀에 의해 드러나도록 굴곡을 갖고 반사영역에 형성된 반사전극을 포함함을 특징으로 하는 반사투과형 액정표시장치.

【청구항 11】

제10항에 있어서,

상기 게이트배선과 동일 평면상의 상기 전단 게이트배선에 스토리지 커패시터의 스토리지 하부전극이 구성되는 것을 특징으로 하는 반사투과형 액정표시장치.

【청구항 12】

제10항에 있어서,

상기 반사전극은 경사 단차에서 연장된 상기 제1투과홀 하면에서 상기 투과전극과 콘택되는 것을 특징으로 하는 액정표시장치.

【청구항 13】

제10항에 있어서,

상기 반사전극은 Mo-Al 또는 Mo-AlNd의 2층 구조를 이루는 것을 특징으로 하는 반사투과형 액정표시장치.

【청구항 14】

각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치에 있어서,

교차 배치되어 화소영역을 정의하는 복수개의 게이트배선 및 데이터배선과;

상기 게이트배선과 데이터배선의 교차부분에 형성된 박막트랜지스터와;

전단 게이트배선의 일부로 이루어진 스토리지 하부전극과, 상기 스토리지 하부전극 상에 게이트절연막을 사이에 두고 형성된 스토리지 상부전극과;

상기 스토리지 상부전극의 일영역에 콘택홀을 갖고 상기 박막트랜지스터를 포함한 기판상에 형성된 버퍼절연막과,

상기 콘택홀을 통해 상기 스토리지 상부전극과 콘택되도록 상기 화소영역에 형성된 투과전극과;

상기 투과전극의 일부가 드러나도록 상기 반사영역에 형성된 반사전극을 포함함을 특징으로 하는 반사투과형 액정표시장치.

【청구항 15】

제14항에 있어서,

상기 버퍼절연막은 실리콘질화막으로 구성된 것을 특징으로 하는 반사투과형 액정표시장치.

【청구항 16】

각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치의 제조방법에 있어서,

일라인 방향으로 배열되며 일측이 돌출되어 게이트전극을 구성하는 복수개의 게이트배선을 형성하는 단계;

상기 게이트배선과 교차 배치되어 화소영역을 정의하며, 일측이 돌출되어 소오스전극을 구성하는 복수개의 데이터배선을 형성하는 단계;

상기 게이트전극 및 소오스전극과 함께 박막트랜지스터를 구성하는 드레인전극 및 전단 게이트배선의 스토리지 상부전극을 일체형으로 형성하는 단계;

상기 스토리지 상부전극에 직접 콘택되도록 상기 화소영역에 투과전극을 형성하는 단계;

상기 투과전극의 일부가 드러나도록 투과홀을 구비한 보호막을 형성하는 단계;

상기 투과전극과 콘택되도록 상기 반사영역에 반사전극을 형성하는 단계를 포함함을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 17】

제16항에 있어서,

상기 반사전극은 상기 투과홀의 가장자리에서 상기 투과전극과 콘택되도록 형성하는 것을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 18】

제16항에 있어서,

상기 반사전극은 저항이 작은 제1금속과 반사도가 좋은 제2금속을 적층하여 형성하는 것을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 19】

제18항에 있어서,

상기 제1금속은 Mo를 사용하고, 제2금속층은 Al 또는 AlNd를 사용하는 것을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 20】

제16항에 있어서,

상기 투과전극은 인듐-틴-옥사이드(Indium Tin Oxide : ITO) 와 인듐-징크-옥사이드 (Indium Zinc Oxide : IZO)등을 포함하는 투명 도전성금속 그룹 중 선택된 하나를 사용하는 것을 특징으로 반사투과형 액정표시장치의 제조방법.

【청구항 21】

제16항에 있어서,

상기 보호막은 벤조사이클로부텐(benzocyclobuten:BCB), 포토아크릴(photoacryl)계 수지(resin)등이 포함된 유기절연물질 그룹 중 선택된 하나를 사용하여 형성하는 것을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 22】

제16항에 있어서,

상기 투과전극은 상기 드레인전극과 상기 스토리지 상부전극 모두에 직접 콘택되도록 형성하는 것을 더 포함함을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 23】

제16항에 있어서,

상기 보호막은 상기 기판 전면에 제1, 제2보호막을 차례로 도포하는 단계,

노광 및 현상공정으로 반사영역에 해당하는 상기 제2보호막에 요철 패턴을 형성하는 단계,

포토공정을 진행하여 화소영역의 투과전극의 일영역이 드러나도록 투과홀을 형성하는 단계를 더 포함함을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 24】

각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치의 제조방법에 있어서,

일라인 방향으로 배열되며 일측이 돌출되어 게이트전극을 구성하는 복수개의 게이트배선을 형성하는 단계;

상기 게이트전극을 포함한 기판상에 게이트절연막을 형성하는 단계;

상기 게이트전극의 상부의 상기 게이트절연막상에 제1, 제2반도체층이 적층된 반도체패턴을 형성하는 단계;

상기 게이트배선과 교차 배치되어 화소영역을 정의하며, 일측이 돌출되어 소오스전극을 구성하는 복수개의 데이터배선을 형성하는 단계;

상기 게이트전극 및 소오스전극과 함께 박막트랜지스터를 구성하는 드레인전극 및 전단 게이트배선의 스토리지 상부전극을 일체형으로 형성하는 단계;

상기 스토리지 상부전극에 직접 접촉되도록 상기 화소영역에 투과전극을 형성하는 단계;

상기 소오스/드레인전극을 마스크로 상기 제1반도체층이 드러나도록 상기 제2반도체층을 식각하여 액티브층과 오믹 콘택층을 형성하는 단계;

상기 투과전극의 일부가 드러나도록 투과홀을 구비한 보호막을 형성하는 단계;

상기 투과전극과 콘택되도록 상기 반사영역에 반사전극을 형성하는 단계를 포함함을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 25】

제24항에 있어서,

상기 제1반도체층은 아몰퍼스 실리콘층이고, 제2반도체층은 도핑된 아몰퍼스 실리콘층인 것을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 26】

제24항에 있어서,

상기 투과전극은 습식식각 공정으로 형성함을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 27】

제24항에 있어서,

상기 반사전극은 상기 투과홀의 가장자리에서 상기 투과전극과 콘택되도록 형성하는 것을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 28】

제24항에 있어서,

상기 반사전극은 저항이 작은 제1금속과 반사도가 좋은 제2금속을 적층하여 형성하는 것을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 29】

제24항에 있어서,

상기 제1금속은 Mo를 사용하고, 제2금속층은 Al 또는 AlNd를 사용하는 것을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 30】

각 화소영역이 반사영역과 투과영역으로 정의되는 액정표시장치의 제조방법에 있어서,

기판상에 일라인 방향으로 배열되며 일측이 돌출되어 게이트전극을 구성하는 복수개의 게이트배선을 형성하는 단계;

상기 게이트배선과 교차 배치되어 화소영역을 정의하며, 일측이 돌출되어 소오스전극을 구성하는 복수개의 데이터배선을 형성하는 단계;

상기 게이트전극 및 소오스전극과 함께 박막트랜지스터를 구성하는 드레인전극 및 전단 게이트배선의 스토리지 상부전극을 일체형으로 형성하는 단계;

상기 박막트랜지스터를 포함한 상기 기판상에 상기 스토리지 상부전극의 일영역에 콘택홀을 갖도록 버퍼절연막을 형성하는 단계;

상기 콘택홀을 통해 상기 스토리지 상부전극과 콘택되도록 상기 화소영역에 투과전극을 형성하는 단계;

상기 투과전극의 일부가 드러나도록 투과홀을 구비한 보호막을 형성하는 단계;

상기 투과전극과 콘택되도록 상기 반사영역에 반사전극을 형성하는 단계를 포함함을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 31】

제30항에 있어서,

상기 버퍼절연막은 실리콘질화막으로 형성하는 것을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 32】

제30항에 있어서,

상기 콘택홀은 상기 버퍼절연막상에 상기 스토리지 상부전극의 일영역이 오픈되도록 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 상기 버퍼절연막을 식각하는 단계를 포함하여 형성하는 것을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

【청구항 33】

제30항에 있어서,

상기 게이트배선을 형성한 후에,

상기 게이트전극을 포함한 상기 기판상에 게이트절연막을 형성하는 단계;

상기 게이트전극의 상부의 상기 게이트절연막상에 제1, 제2반도체층이 적층된 반도체패턴을 형성하는 단계;

상기 소오스/드레인전극을 마스크로 상기 제1반도체층이 드러나도록 상기 제2반도체층을 식각하여 액티브층과 오믹 콘택층을 형성하는 것을 포함함을 특징으로 하는 반사투과형 액정표시장치의 제조방법.

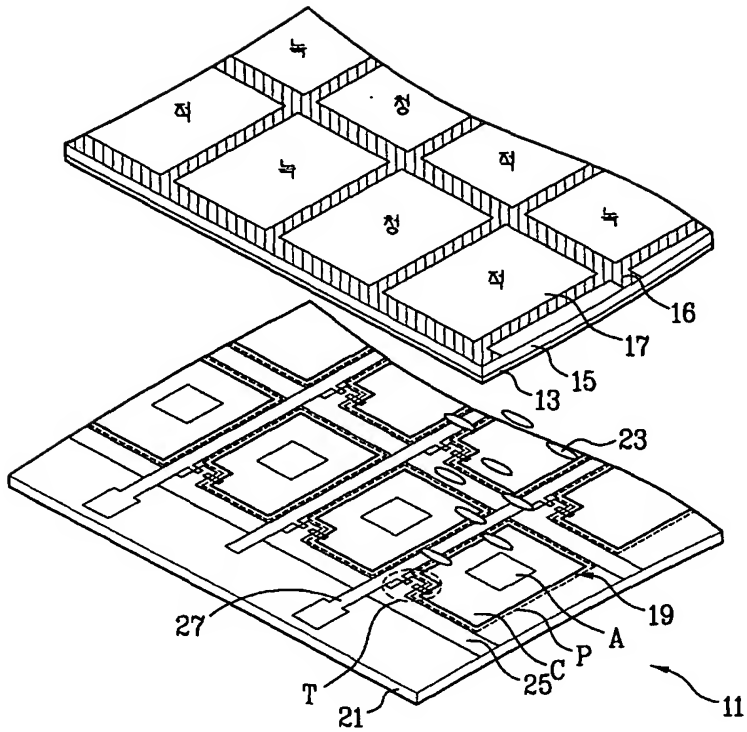
【청구항 34】

제30항에 있어서,

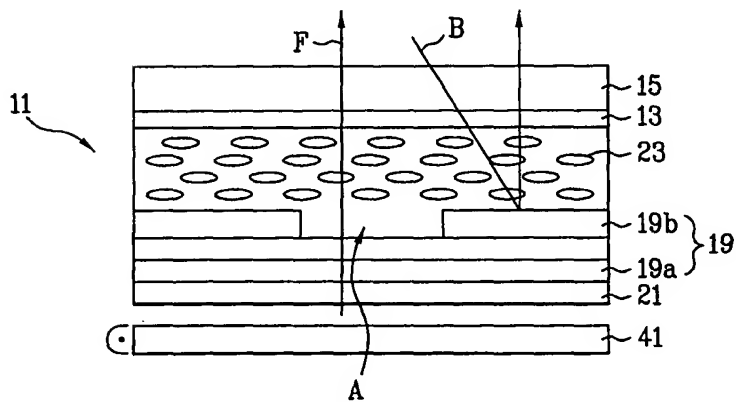
상기 투과전극은 습식식각 공정으로 형성함을 특징으로 하는 반사투과형 액정표시 장치의 제조방법.

【도면】

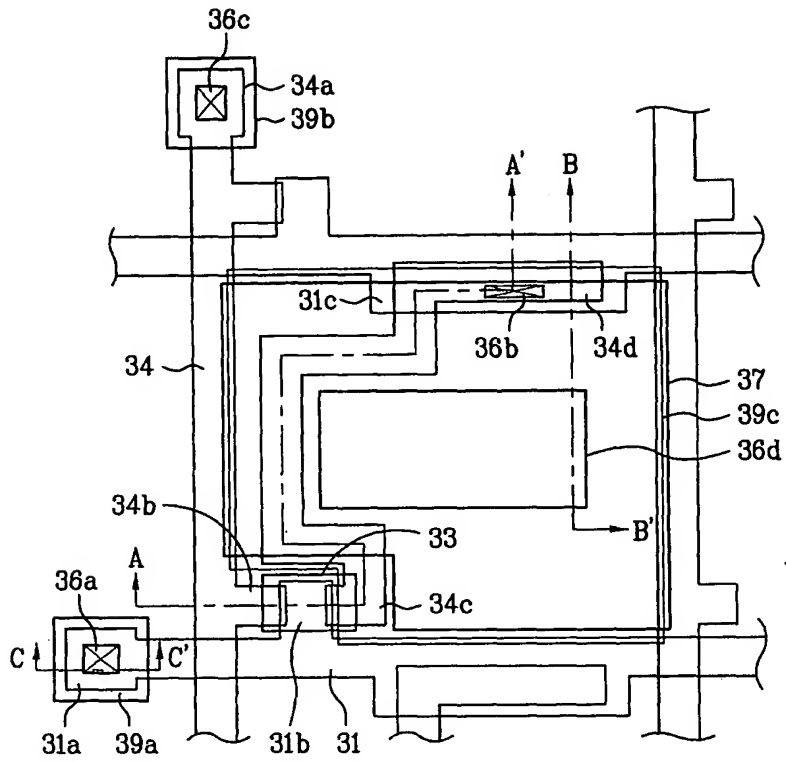
【도 1】



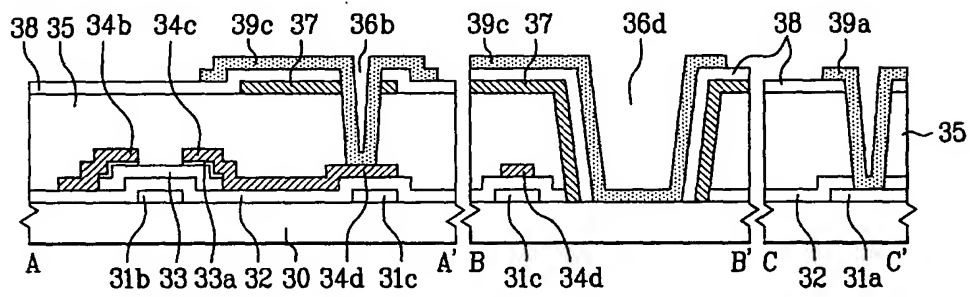
【도 2】



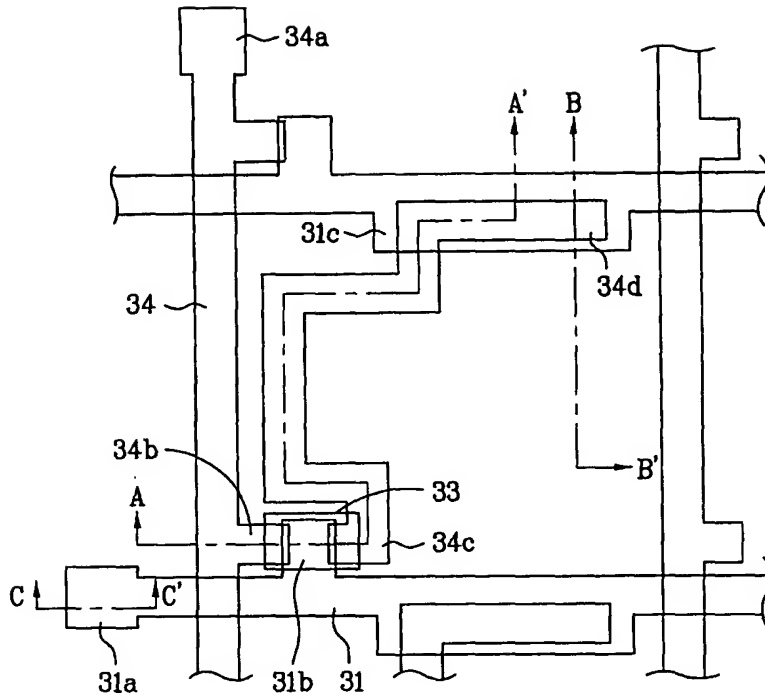
【도 3】



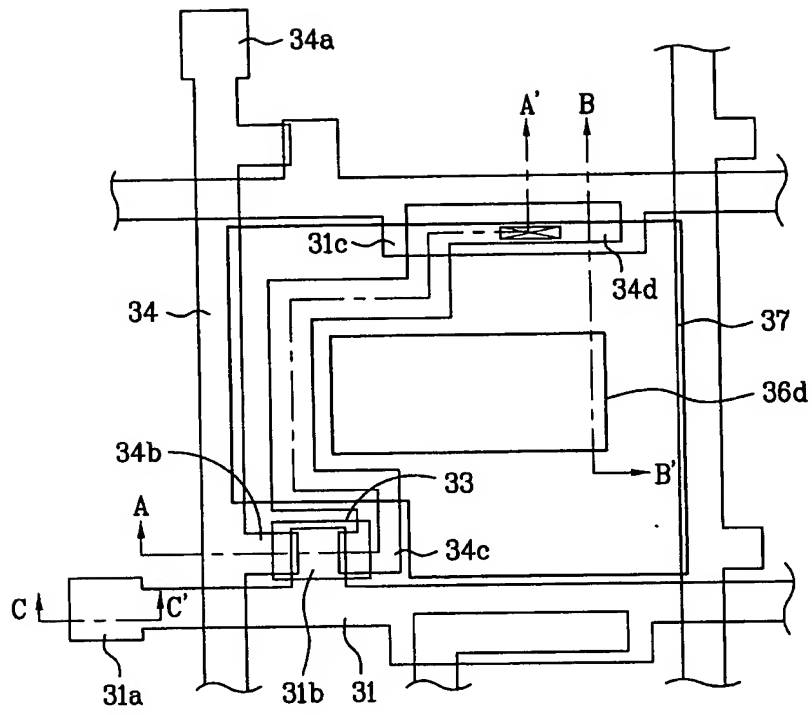
【도 4】



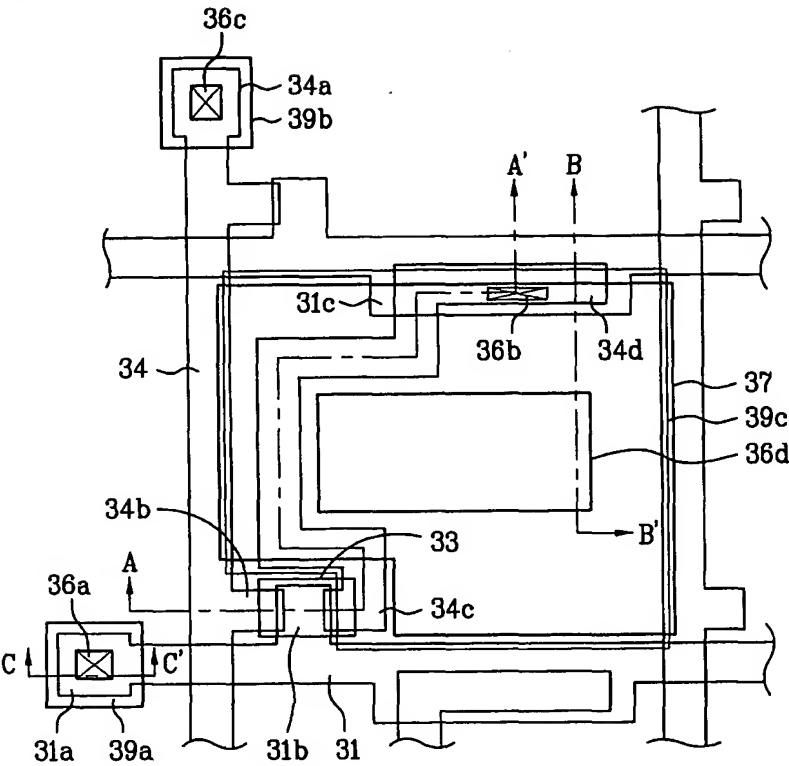
【도 5a】



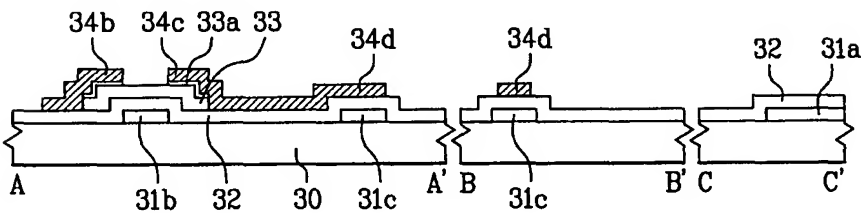
【도 5b】



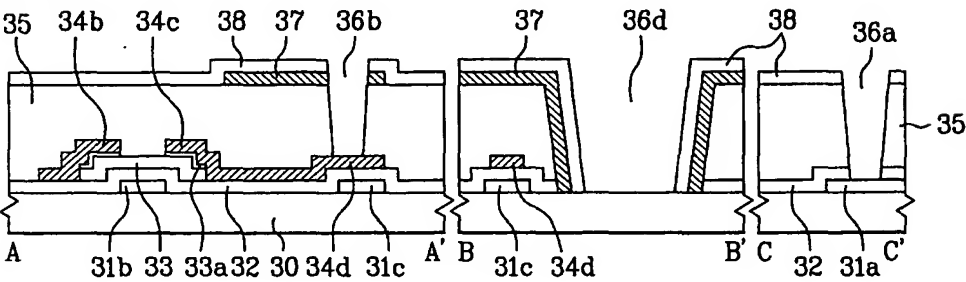
【도 5c】



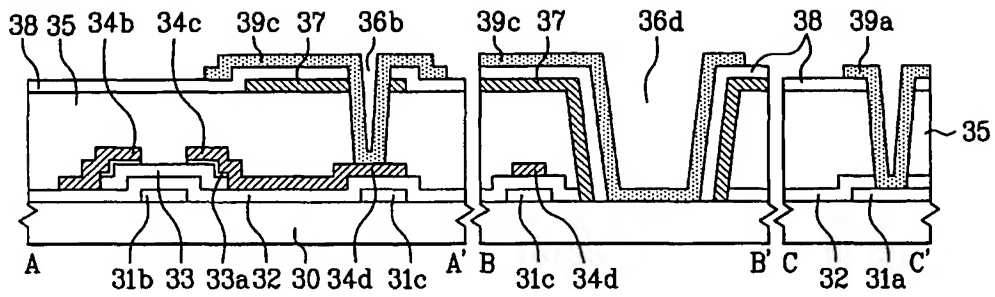
【도 6a】



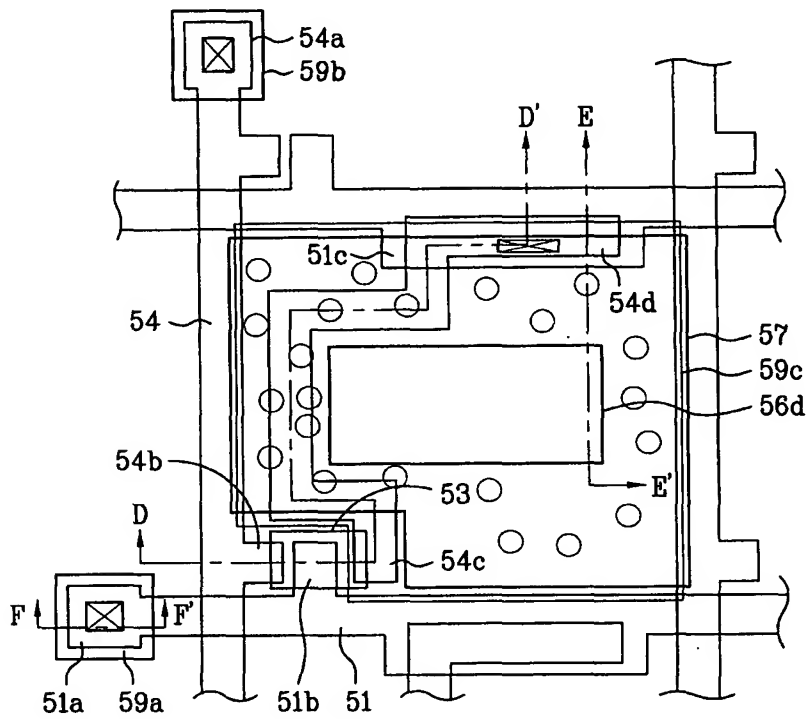
【도 6b】



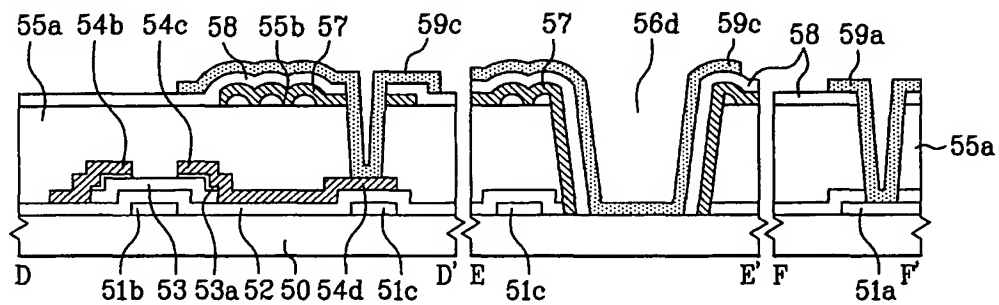
【도 6c】



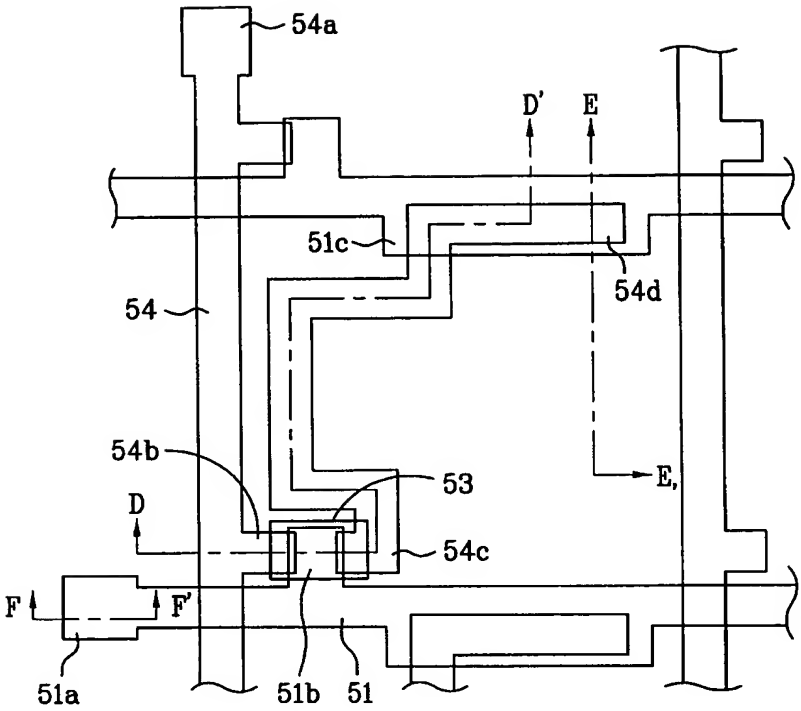
【도 7】



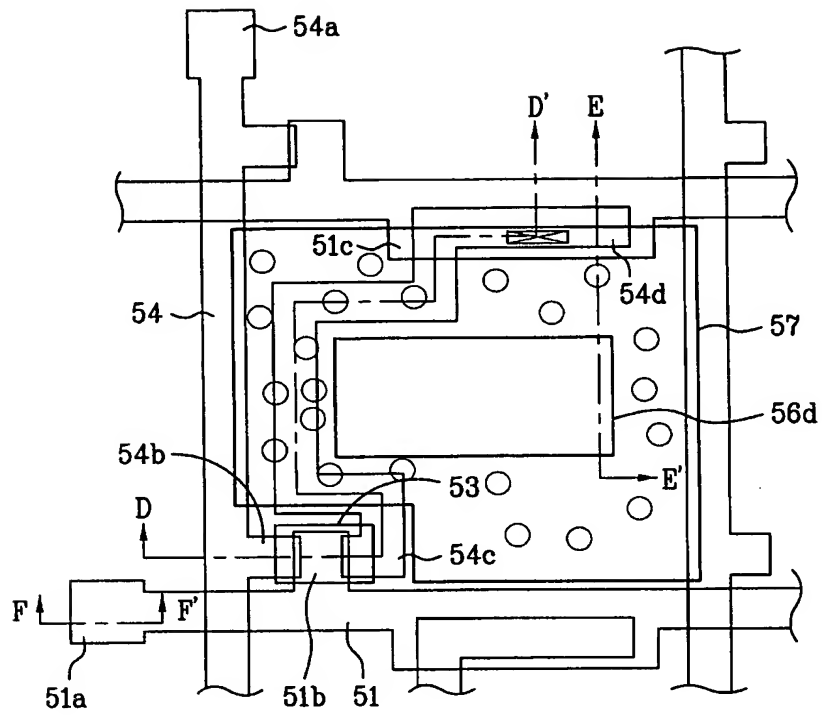
【도 8】



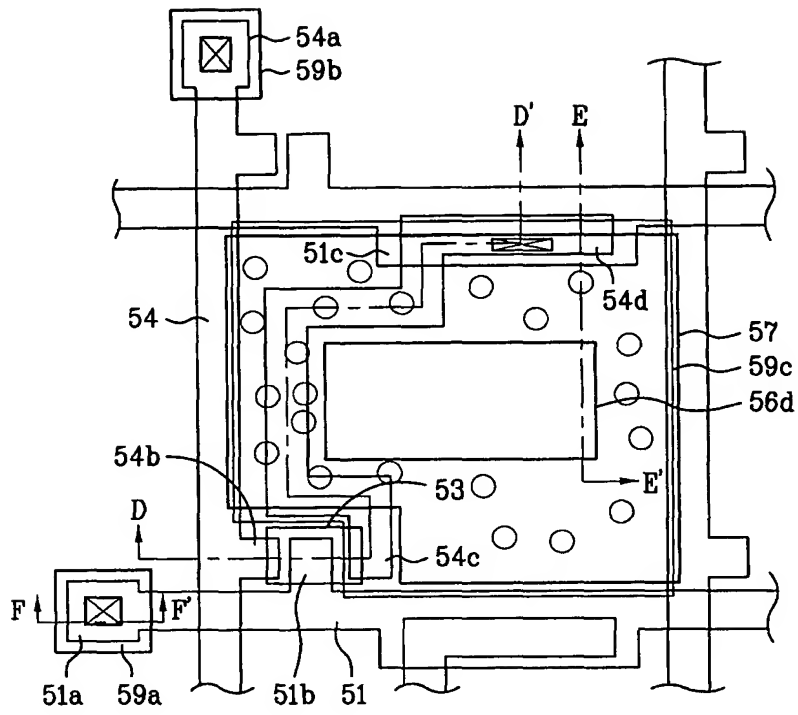
【도 9a】



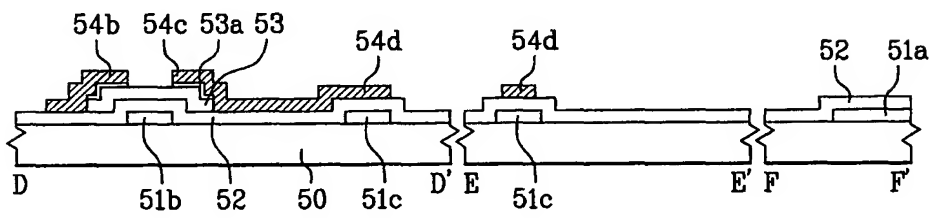
【도 9b】



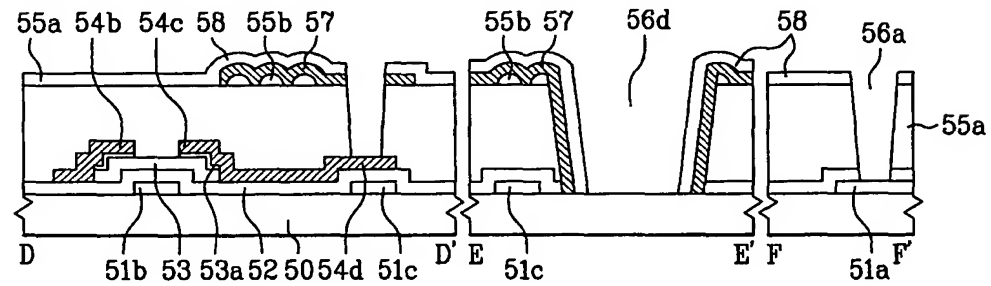
【도 9c】



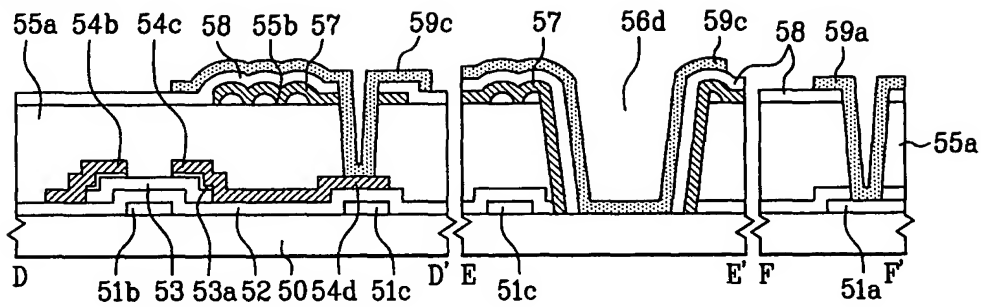
【도 10a】



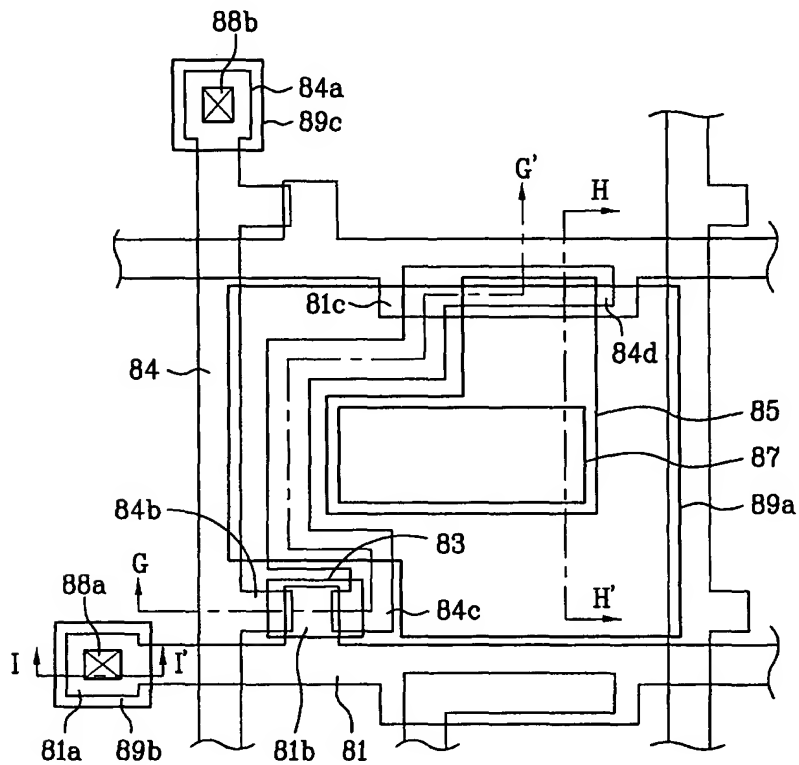
【도 10b】



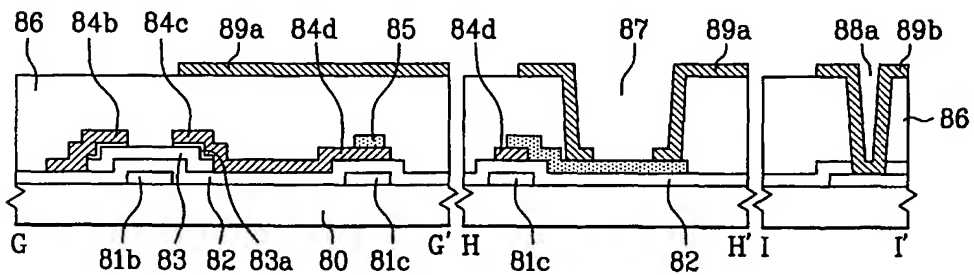
【도 10c】



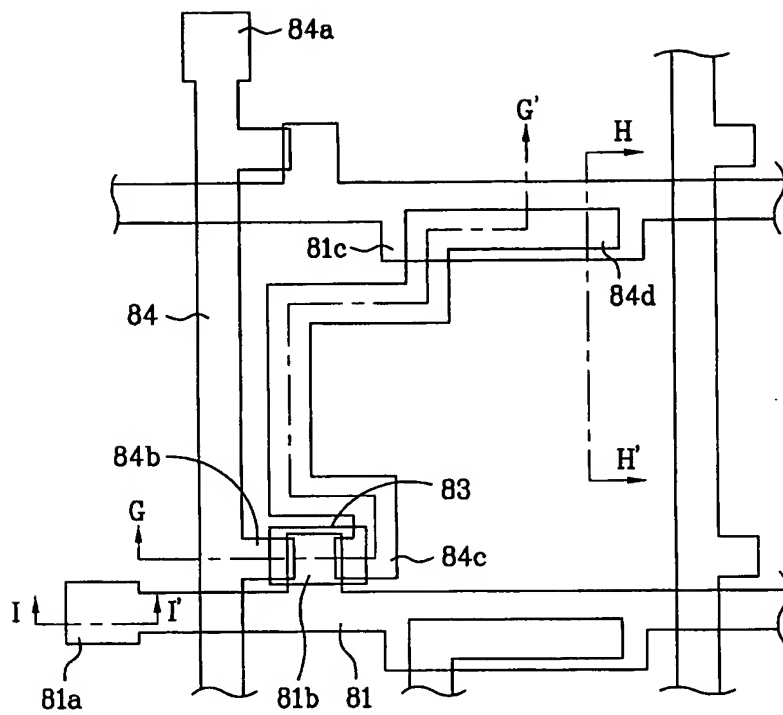
【도 11】



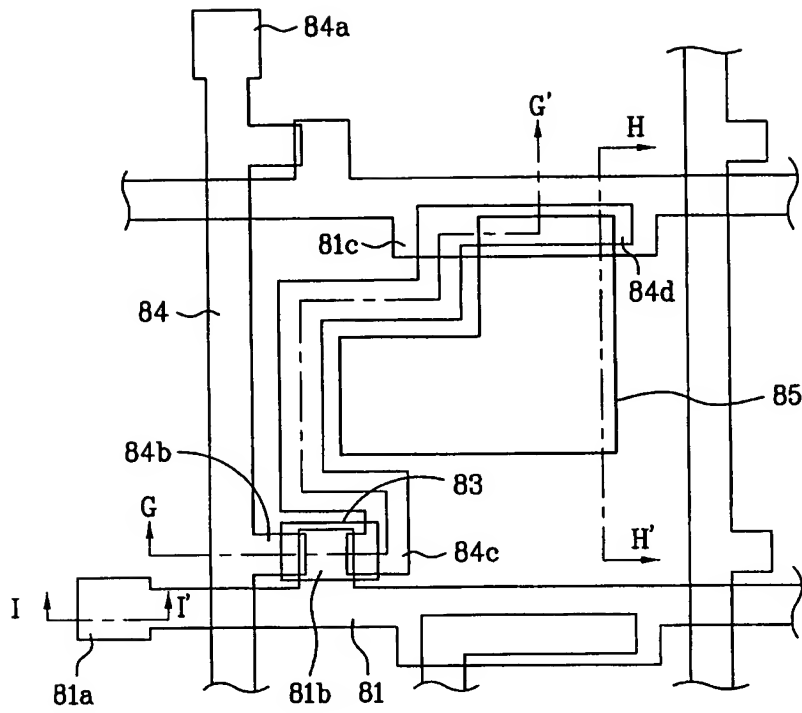
【도 12】



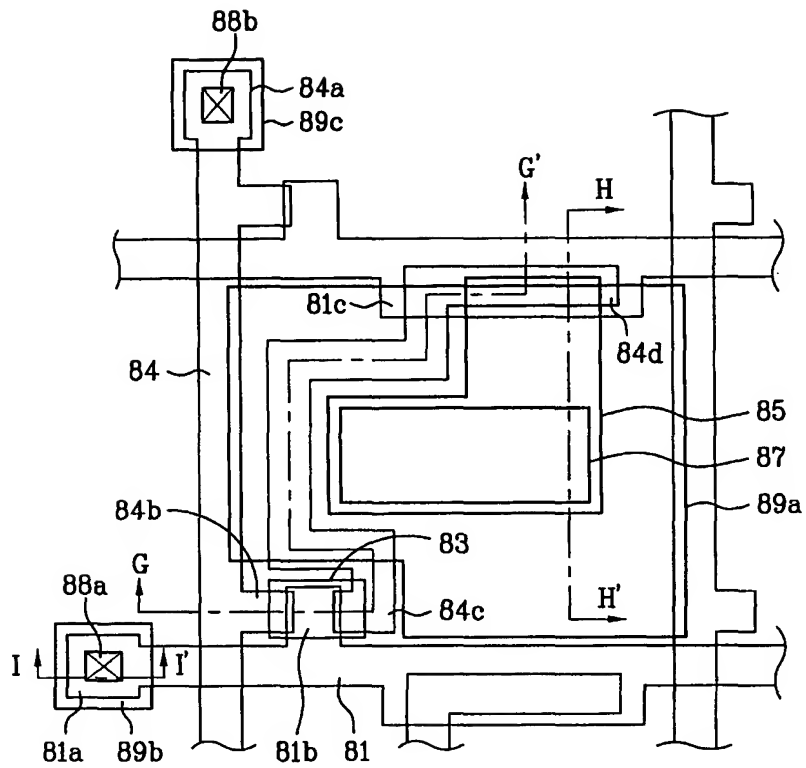
【도 13a】



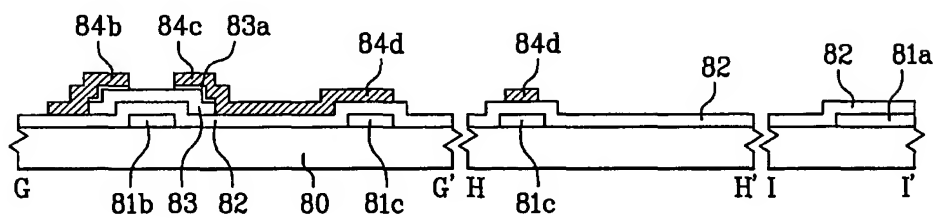
【도 13b】



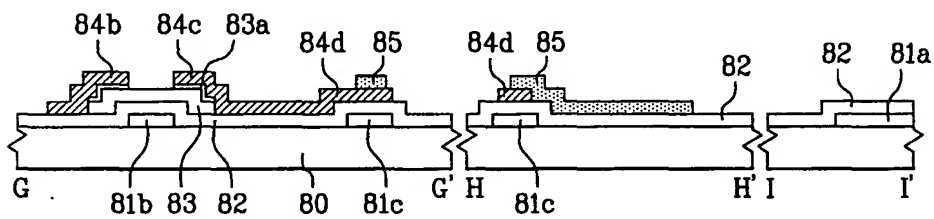
【토 13c】



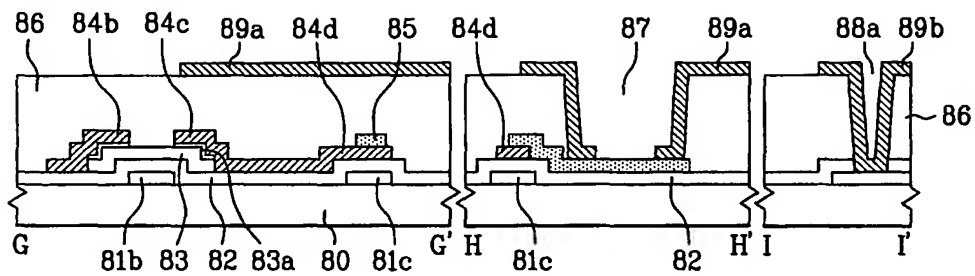
【도 14a】



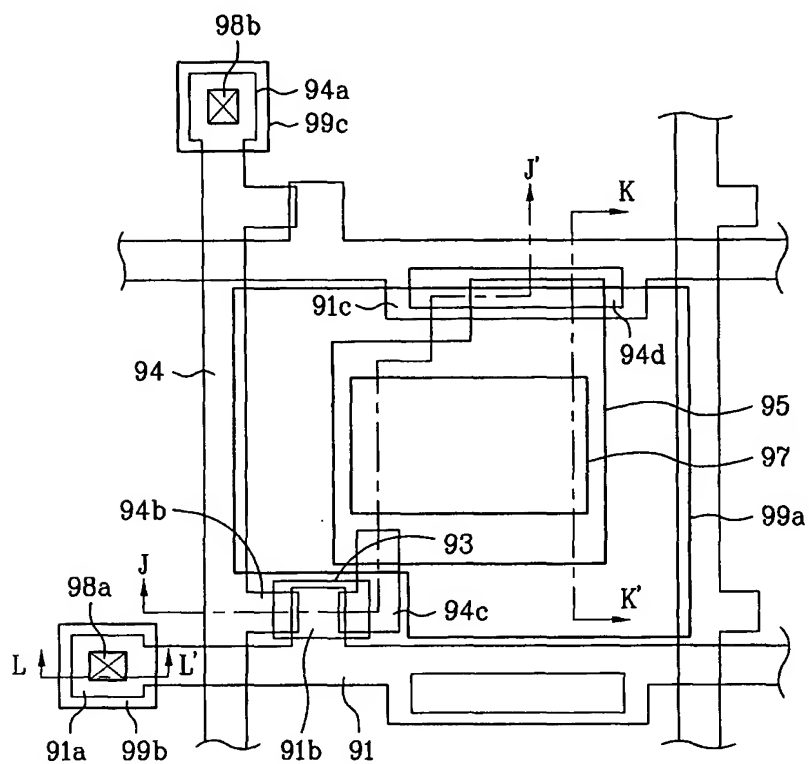
【도 14b】



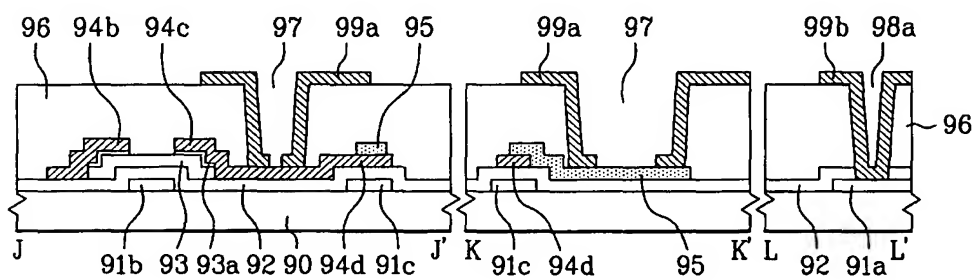
【도 14c】



【도 15】

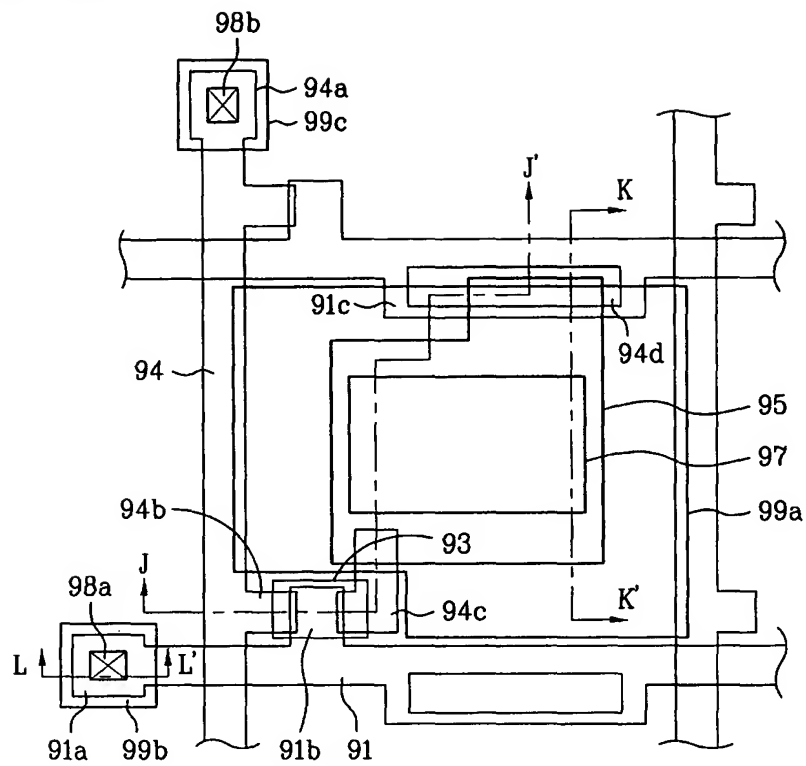


【도 16】

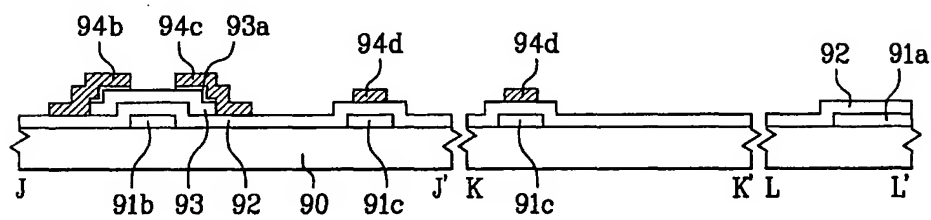


[illegible]

【도 17c】



【도 18a】



【도 18b】

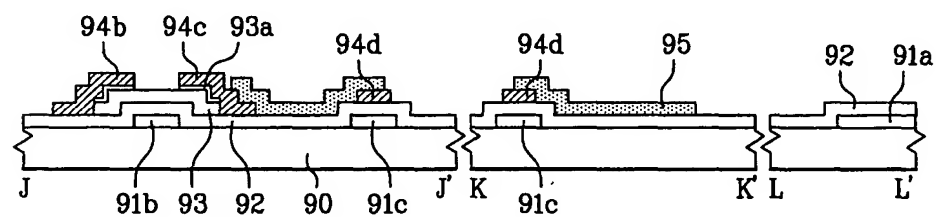
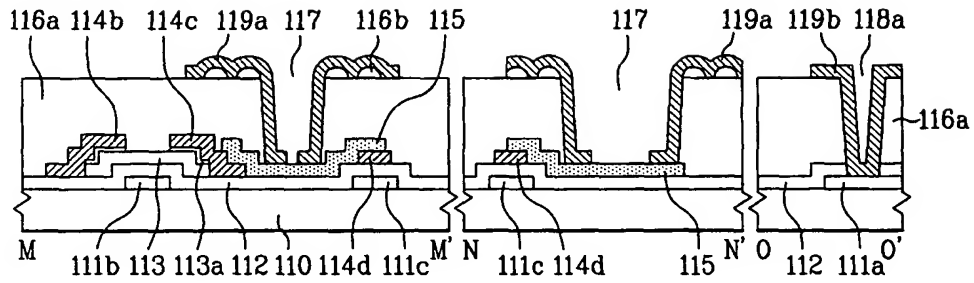
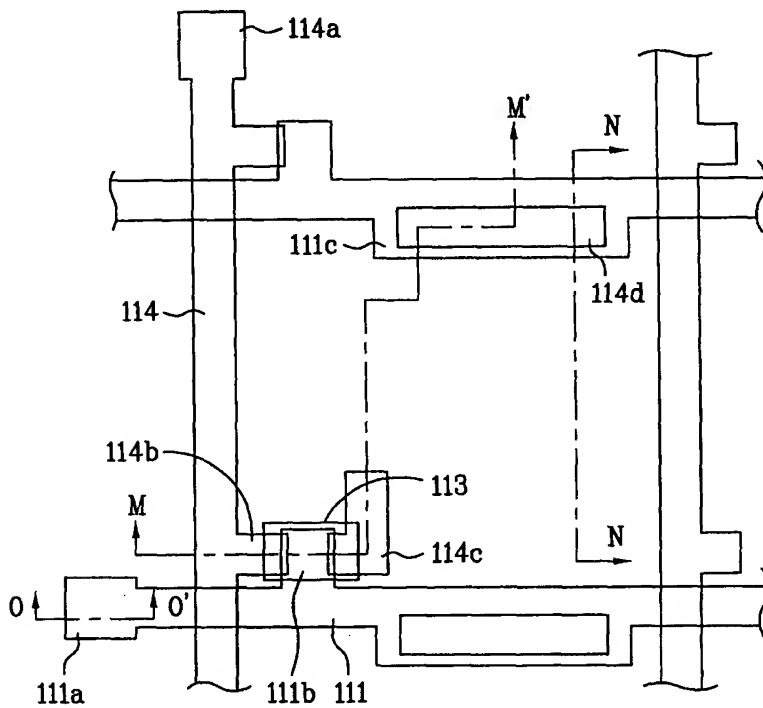


Fig. 1 shows four cross-sectional views of a semiconductor device in different stages of fabrication, labeled J, K, L, and L'. The views are taken along lines J-J', K-K', L-L', and L'-L' respectively. The device consists of a substrate 96 with various layers and structures. In stage J, the structure includes layers 94b, 94c, 97, 99a, 95, 91b, 93, 93a, 92, 90, 94d, and 91c. In stage K, an additional layer 99a is added. In stage L, an additional layer 99b is added. In stage L', the final structure is shown with layer 98a.

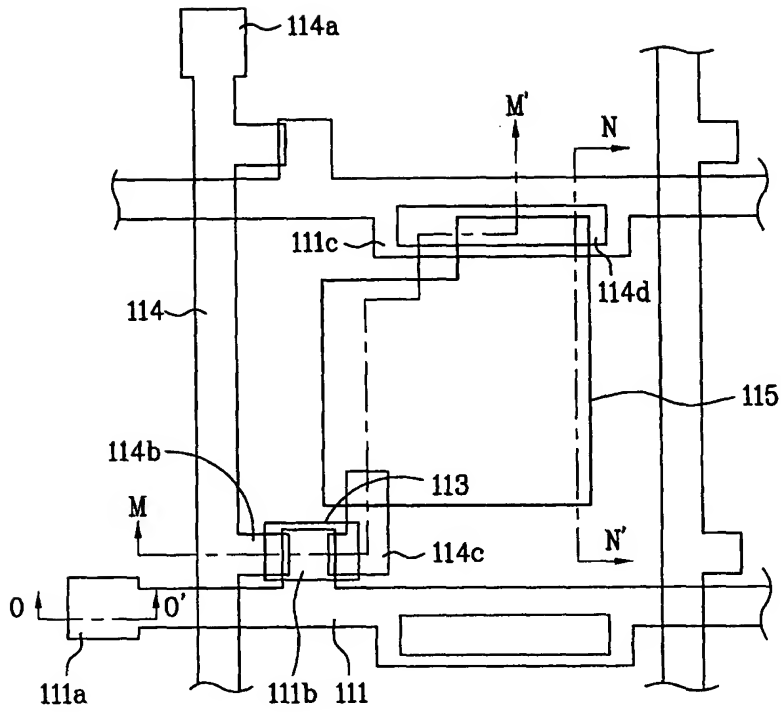
【도 20】



【도 21a】

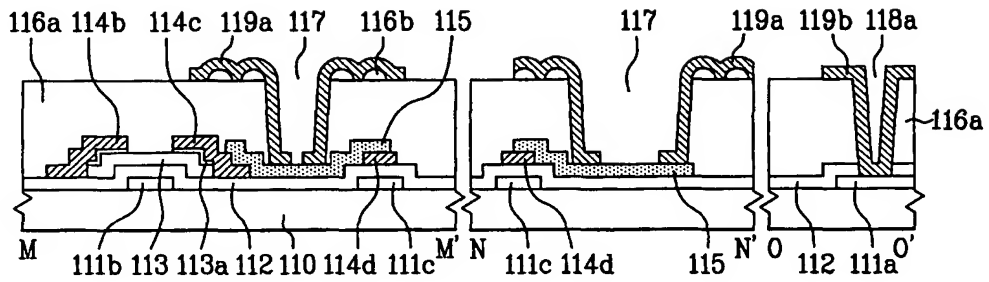


【도 21b】

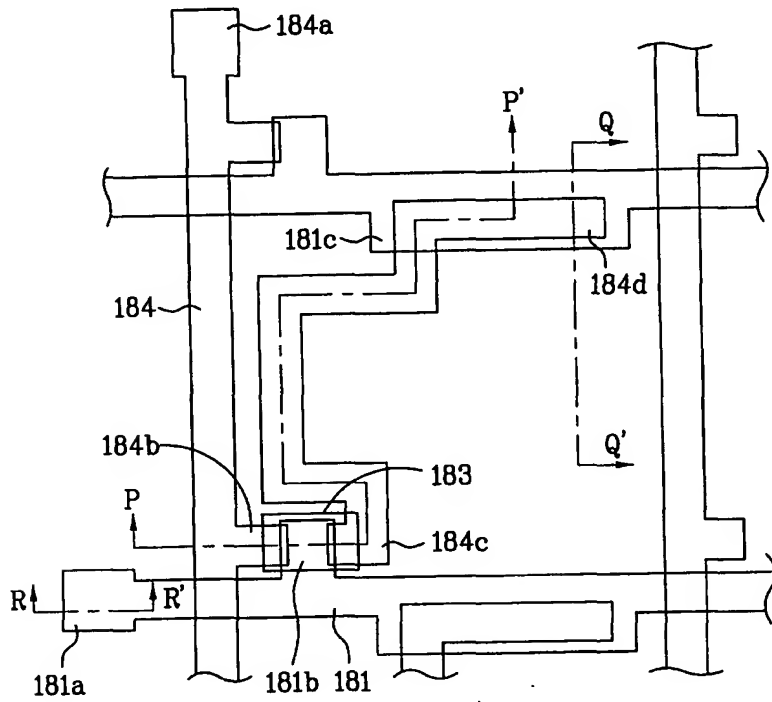




【도 22c】



【도 23a】

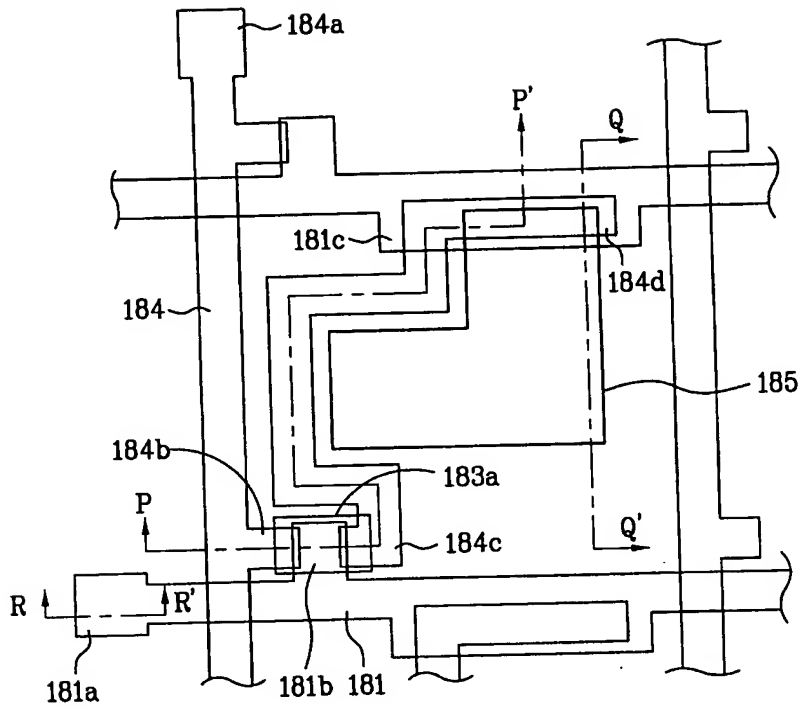




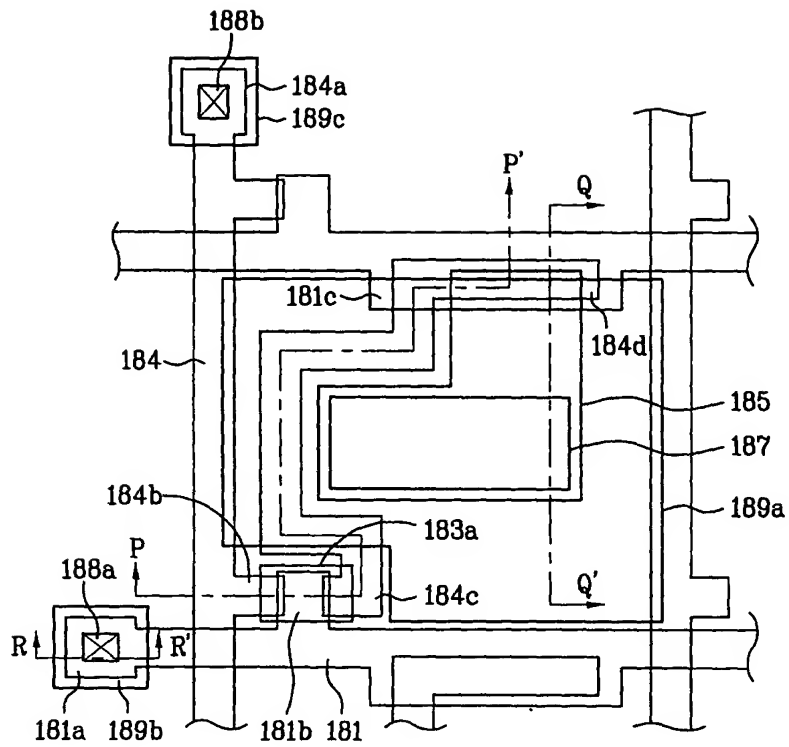
1020030021653

출력 일자: 2003/5/15

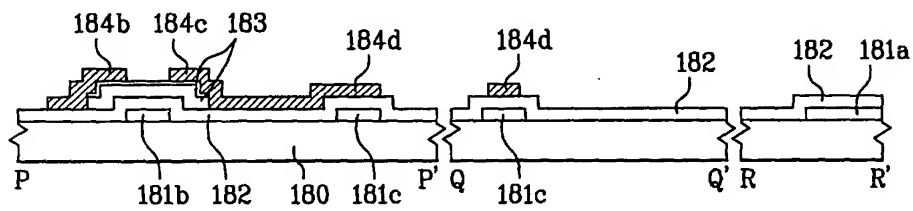
【도 23b】



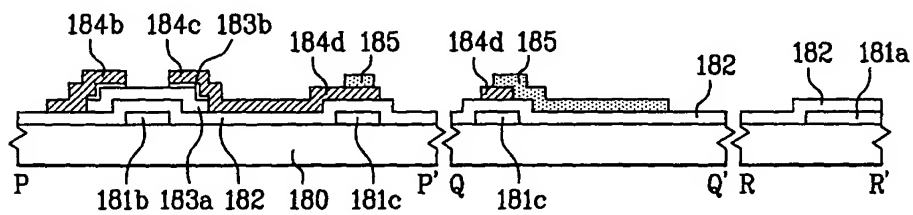
【도 23c】



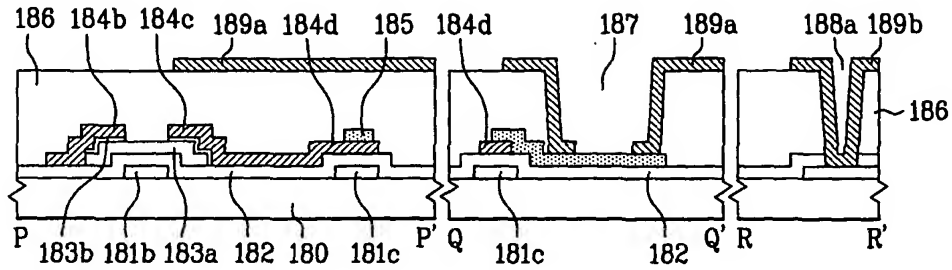
【도 24a】



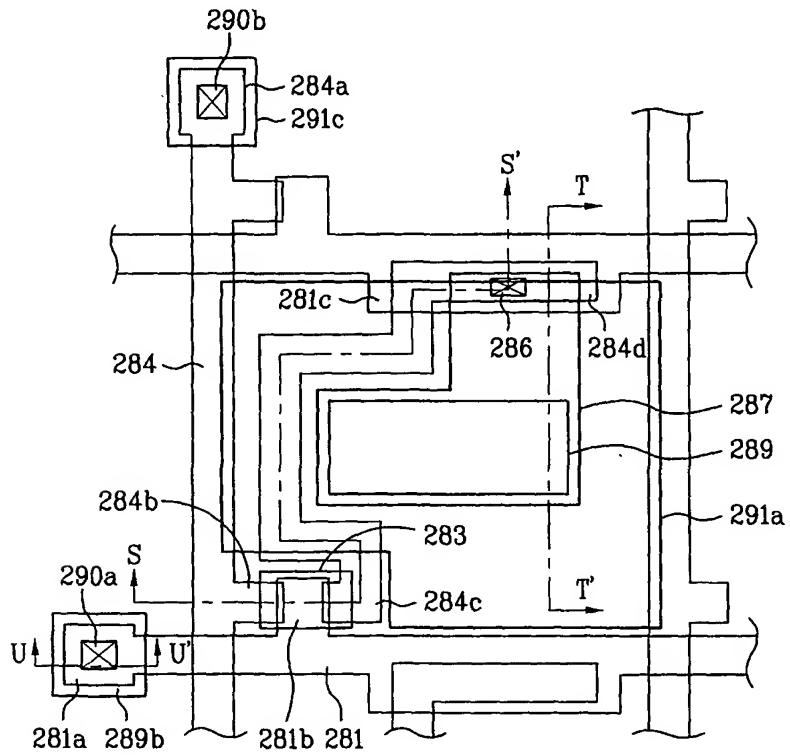
【도 24b】



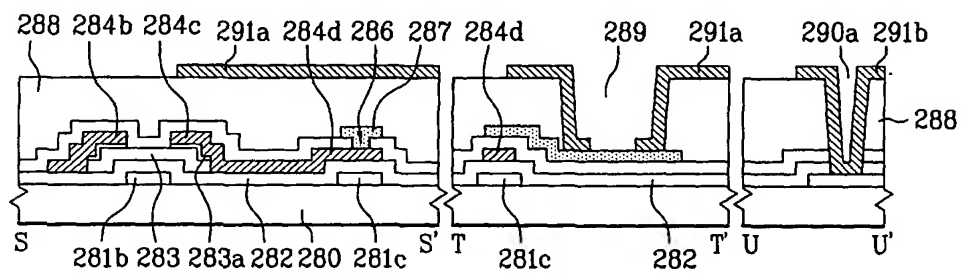
【도 24c】



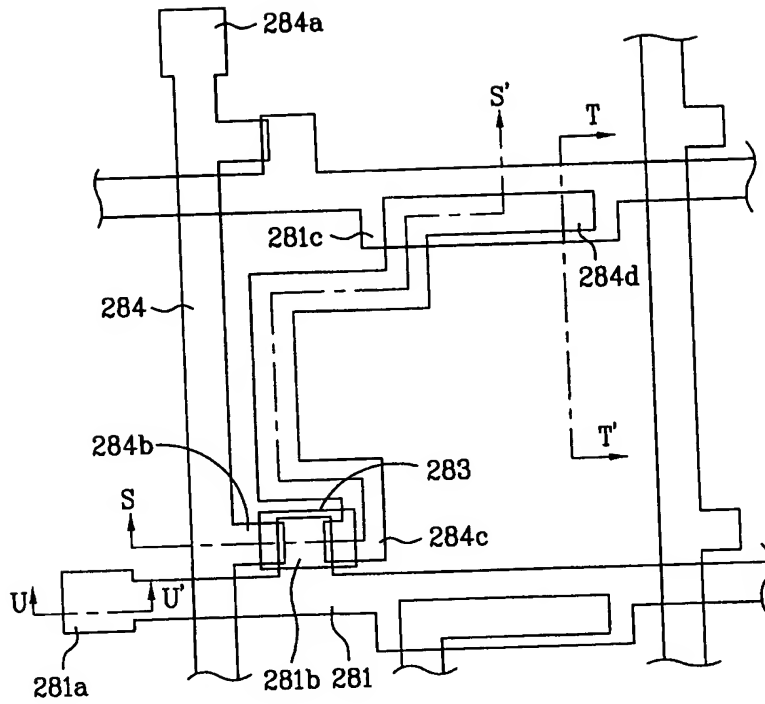
【도 25】



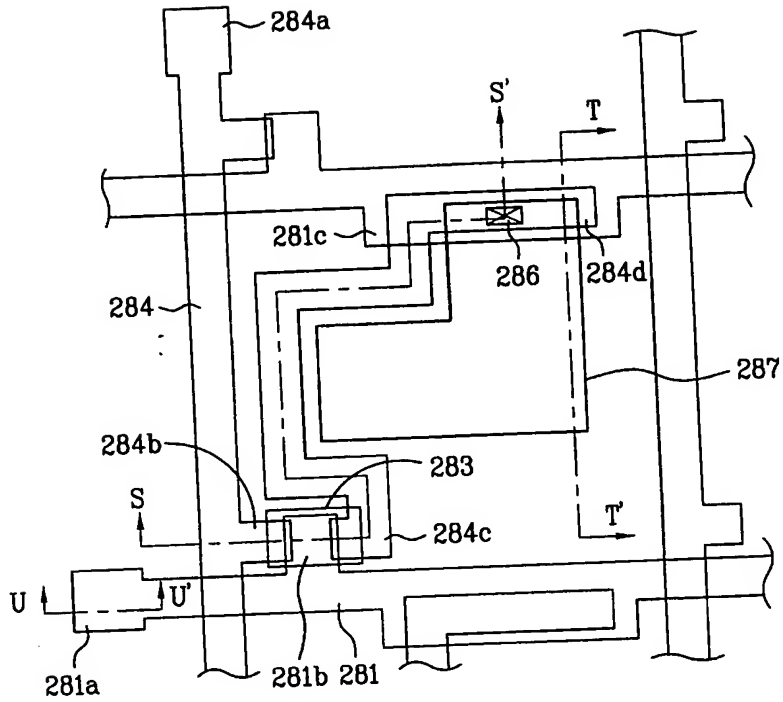
【도 26】



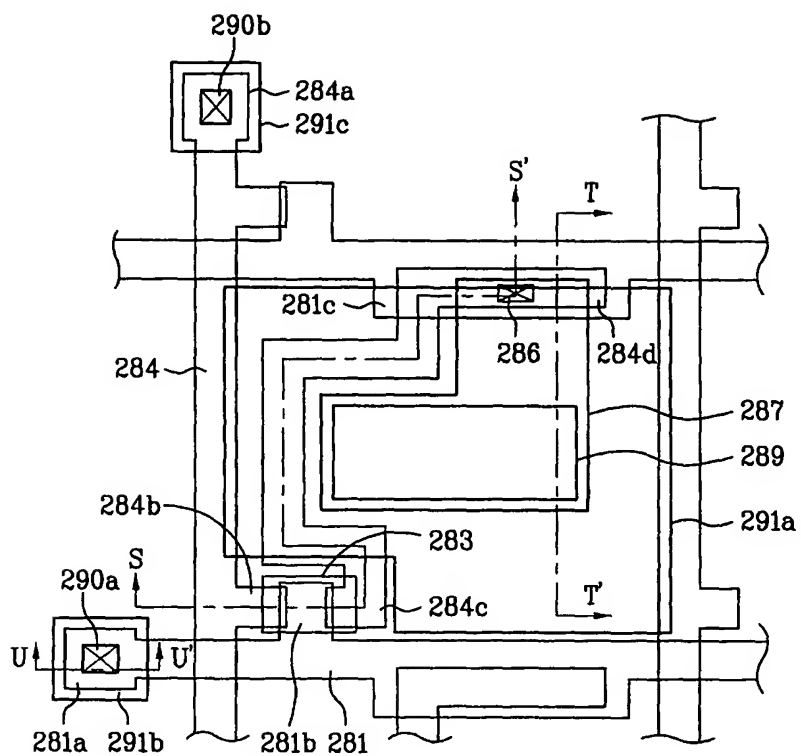
【도 27a】



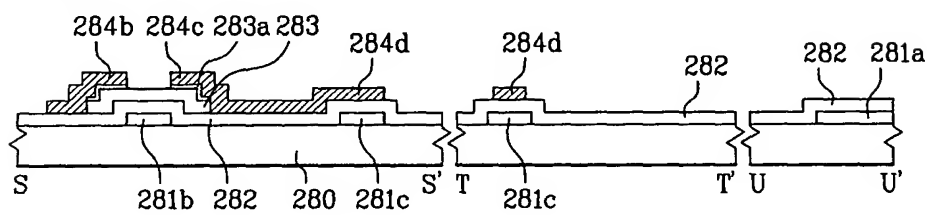
【도 27b】



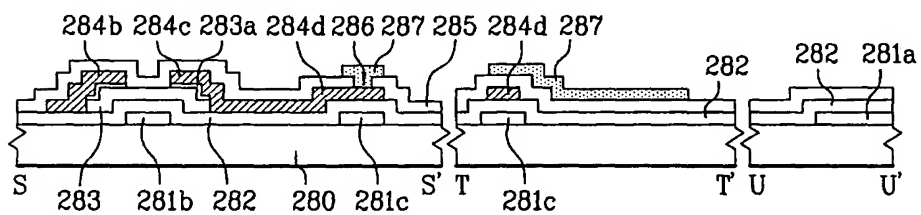
【도 27c】



【도 28a】



【도 28b】



【도 28c】

